

29.10.03

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

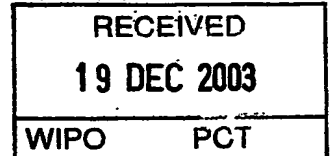
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年 1 1 月 2 8 日  
Date of Application:

出 願 番 号            特 願 2 0 0 2 - 3 4 5 8 7 6  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 2 - 3 4 5 8 7 6 ]

出 願 人            カシオ計算機株式会社  
Applicant(s):

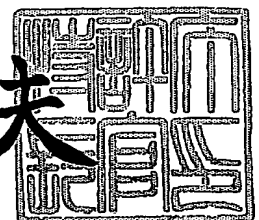


**PRIORITY DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2 0 0 3 年 1 2 月    8 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願  
【整理番号】 02-0750-00  
【あて先】 特許庁長官 殿  
【国際特許分類】 G09G 03/20 623  
G09F 09/30 365  
G05F 03/26

## 【発明者】

【住所又は居所】 東京都八王子市石川町 2 9 5 1 番地の 5  
カシオ計算機株式会社 八王子研究所内

【氏名】 両澤 克彦

## 【特許出願人】

【識別番号】 000001443  
【氏名又は名称】 カシオ計算機株式会社  
【代表者】 樫尾 和雄

## 【代理人】

【識別番号】 100096699  
【弁理士】  
【氏名又は名称】 鹿嶋 英實

## 【手数料の表示】

【予納台帳番号】 021267  
【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9600683

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電流生成供給回路及びその制御方法並びに電流生成供給回路を備えた表示装置

【特許請求の範囲】

【請求項 1】 複数ビットのデジタル信号を保持する信号保持手段と、  
前記デジタル信号の各ビットに対応する複数の階調電流から、前記信号保持手段を介して出力される前記デジタル信号の各ビット値に応じて、前記階調電流の各々を選択的に合成し、負荷駆動電流として所定の負荷に供給する電流生成手段と、

前記負荷を特定の動作状態で駆動させるための特定電圧を、前記負荷に印加する特定状態設定手段と、  
を備えていることを特徴とする電流生成供給回路。

【請求項 2】 前記特定状態設定手段は、前記デジタル信号に応じて前記階調電流の各々が全て非選択となる状態を判定するデジタル値判定部と、  
前記デジタル値判定部による判定結果に基づいて、前記負荷を最低階調状態で駆動させるための前記特定電圧を印加する特定電圧印加部と、  
を備えていることを特徴とする請求項 1 記載の電流生成供給回路。

【請求項 3】 前記デジタル値判定部は、前記デジタル信号を入力とし、該デジタル信号の各ビット値の論理和に基づいて、前記階調電流の選択状態を判定することを特徴とする請求項 2 記載の電流生成供給回路。

【請求項 4】 前記複数の階調電流は、各々  $2^n$  ( $n = 0, 1, 2, 3, \dots$ ) で規定される、異なる電流値に設定されていることを特徴とする請求項 1 乃至 3 のいずれかに記載の電流生成供給回路。

【請求項 5】 前記電流生成手段は、複数の定電流源から供給され、各々異なる電流値を有する複数の基準電流を、前記複数の階調電流として用いることを特徴とする請求項 1 乃至 4 のいずれかに記載の電流生成供給回路。

【請求項 6】 前記電流生成手段は、  
前記デジタル信号の各ビットに対応し、単一の定電流源から供給される基準電流に対して、各々異なる比率の電流値を有する前記複数の階調電流を生成するカ

レントミラー回路部と、

前記複数の階調電流から、前記デジタル信号の各ビット値に応じて前記階調電流を選択するスイッチ回路部と、

を備え、前記選択された前記階調電流の合成電流を、前記負荷駆動電流として供給することを特徴とする請求項 1 乃至 4 のいずれかに記載の電流生成供給回路。

【請求項 7】 前記カレントミラー回路部は、

前記定電流源に接続され、前記基準電流が流れる基準電流トランジスタと、

前記基準電流トランジスタのゲート端子に、各ゲート端子が並列的に接続されるとともに、トランジスタサイズが各々異なる、前記階調電流が流れる複数の階調電流トランジスタと、

を備えていることを特徴とする請求項 6 記載の電流生成供給回路。

【請求項 8】 少なくとも、前記基準電流トランジスタ及び前記階調電流トランジスタの電圧－電流特性が、特定の電圧範囲において略一定の電流値を示す飽和領域を有していることを特徴とする請求項 7 記載の電流生成供給回路。

【請求項 9】 少なくとも、前記基準電流トランジスタ及び前記階調電流トランジスタは、半導体基板の一面側に絶縁膜を介して形成された半導体層に、チャネル領域と、該チャネル領域を挟んで形成されたソース領域及びドレイン領域と、該ソース領域及び該ドレイン領域の対向軸に対して垂直方向に、チャネル領域から突出して形成されたターミナル領域と、前記チャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、前記ドレイン領域に電氣的に接続されたドレイン電極と、前記ソース領域及び前記ターミナル領域に電氣的に接続された単一のボディターミナル電極と、を備えたトランジスタ構造を有していることを特徴とする請求項 8 記載の電流生成供給回路。

【請求項 10】 前記電流生成手段は、前記負荷駆動電流を前記負荷側から引き込む方向に流すように、前記合成電流の信号極性を設定することを特徴とする請求項 6 乃至 9 のいずれかに記載の電流生成供給回路。

【請求項 11】 前記電流生成手段は、前記負荷駆動電流を前記負荷に流し込む方向に流すように、前記合成電流の信号極性を設定することを特徴とする請求項 6 乃至 9 のいずれかに記載の電流生成供給回路。

【請求項 1 2】 前記電流生成供給回路は、前記信号線の各々に対して 2 組設けられ、一方の前記電流生成供給回路において先に保持した前記複数ビットのデジタル信号に基づく前記負荷駆動電流を前記負荷に供給する動作期間中に、他方の前記電流生成供給回路において次の前記複数ビットのデジタル信号を保持する動作を、交互に順次繰り返し実行することを特徴とする請求項 1 乃至 1 1 のいずれかに記載の電流生成供給回路。

【請求項 1 3】 前記負荷は、前記電流生成手段から供給される前記負荷駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備え、

前記特定状態設定手段は、前記発光素子を最低の輝度階調で発光動作させるための前記特定電圧を、前記発光素子に印加することを特徴とする請求項 1 乃至 1 2 のいずれかに記載の電流生成供給回路。

【請求項 1 4】 前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする請求項 1 3 記載の電流生成供給回路。

【請求項 1 5】 複数の負荷に対して、所定の負荷駆動電流を個別に供給することにより、前記複数の負荷を所定の動作状態で駆動させる電流生成供給回路の制御方法において、

複数ビットのデジタル信号を取り込み保持する動作を、前記複数の負荷に対応して順次繰り返すステップと、

前記デジタル信号の各ビットに対応する複数の階調電流から、前記保持された前記デジタル信号の各ビット値に応じて、特定の前記階調電流を選択して合成し、前記負荷駆動電流を生成するステップと、

前記負荷駆動電流を前記複数の負荷に対して、同時並行的に供給するステップと、

前記デジタル信号の各ビットが特定値の場合に、前記負荷を特定の動作状態で駆動させるための特定電圧を、前記負荷に対して印加するステップと、を含むことを特徴とする電流生成供給回路の制御方法。

【請求項 1 6】 前記特定電圧を前記負荷に対して印加するステップは、前記デジタル信号の各ビット値が前記階調電流の各々を全て非選択とする場合を前

記特定値と判定し、前記負荷を最低階調状態で駆動させるための前記特定電圧を印加することを特徴とする請求項 15 記載の電流生成供給回路の制御方法。

【請求項 17】 前記特定電圧を前記負荷に対して印加するステップは、前記デジタル信号の論理和に基づいて、前記特定値を判定することを特徴とする請求項 16 記載の電流生成供給回路の制御方法。

【請求項 18】 前記複数の階調電流は、単一の定電流源から供給される基準電流に対して、各々異なる電流値を有するように設定されていることを特徴とする請求項 15 乃至 17 のいずれかに記載の電流生成供給回路の制御方法。

【請求項 19】 前記複数の階調電流は、前記基準電流に対して、 $2^n$  ( $n = 0, 1, 2, 3, \dots$ ) で規定される、異なる電流値を有するように設定されていることを特徴とする請求項 17 記載の電流生成供給回路の制御方法。

【請求項 20】 前記負荷駆動電流は、前記負荷から前記電流生成回路に引き込む方向に流れるように、前記負荷駆動電流の信号極性が設定されていることを特徴とする請求項 15 乃至 19 のいずれかに記載の電流生成供給回路の制御方法。

【請求項 21】 前記負荷駆動電流は、前記前記電流生成回路から前記負荷に流し込む方向に流れるように、前記負荷駆動電流の信号極性が設定されていることを特徴とする請求項 15 乃至 19 のいずれかに記載の電流生成供給回路の制御方法。

【請求項 22】 連続的に供給される前記複数ビットのデジタル信号に対して、先に保持した前記複数ビットのデジタル信号に基づく前記負荷駆動電流を前記負荷に供給する動作期間中に、次の前記複数ビットのデジタル信号を保持する動作を順次繰り返し実行することを特徴とする請求項 1 乃至 21 のいずれかに記載の電流生成供給回路の制御方法。

【請求項 23】 前記複数の負荷は、前記負荷駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備え、

前記特定電圧を前記負荷に対して印加するステップは、前記発光素子を最低の輝度階調で発光動作させるための前記特定電圧を印加するように設定されていることを特徴とする請求項 15 乃至 22 いずれかに記載の電流生成供給回路の制御

方法。

【請求項 24】 少なくとも、複数の走査線及び複数の信号線が相互に直交するように配設され、該走査線及び該信号線の交点に複数の表示画素がマトリクス状に配列された表示パネルと、前記各表示画素を行単位で選択状態にするための走査信号を前記走査線に印加する走査駆動手段と、表示信号に基づく駆動電流を、前記信号線を介して前記各表示画素に供給する信号駆動手段と、を備え、選択状態にある前記表示画素に対して、所定の電流値を有する前記駆動電流を供給することにより、前記各表示画素を所定の輝度階調で発光させて、前記表示パネルに所望の画像情報を表示する表示装置において、

前記信号駆動手段は、少なくとも、

前記表示信号に基づく複数ビットのデジタル信号を保持する信号保持手段と、

前記デジタル信号の各ビットに対応する複数の階調電流から、前記信号保持手段を介して出力される前記デジタル信号の各ビット値に応じて、前記階調電流の各々を選択的に合成し、前記駆動電流として前記表示画素に供給する電流生成手段と、

前記表示画素を特定の輝度階調で発光動作させるための特定電圧を、前記表示画素に印加する特定状態設定手段と、

を有する電流生成供給回路を複数具備することを特徴とする表示装置。

【請求項 25】 前記特定状態設定手段は、前記デジタル信号に応じて前記階調電流の各々が全て非選択となる状態を判定するデジタル値判定部と、

前記デジタル値判定部による判定結果に基づいて、前記表示画素を最低の輝度階調で発光動作させるための前記特定電圧を印加する特定電圧印加部と、を備えていることを特徴とする請求項 24 記載の表示装置。

【請求項 26】 前記デジタル値判定部は、前記デジタル信号を入力とし、該デジタル信号の各ビット値の論理和に基づいて、前記階調電流の選択状態を判定することを特徴とする請求項 25 記載の表示装置。

【請求項 27】 前記複数の階調電流は、各々  $2^n$  ( $n = 0, 1, 2, 3, \dots$ ) で規定される、異なる電流値に設定されていることを特徴とする請求項 24 乃至 26 のいずれかに記載の表示装置。

【請求項 2 8】 前記電流生成手段は、

前記デジタル信号の各ビットに対応し、単一の定電流源から供給される基準電流に対して、各々異なる比率の電流値を有する前記複数の階調電流を生成するカレントミラー回路部と、

前記複数の階調電流から、前記デジタル信号の各ビット値に応じて前記階調電流を選択するスイッチ回路部と、

を備え、前記選択された前記階調電流の合成電流を、前記駆動電流として供給することを特徴とする請求項 2 4 乃至 2 7 のいずれかに記載の表示装置。

【請求項 2 9】 前記カレントミラー回路部は、

前記定電流源に接続され、前記基準電流が流れる基準電流トランジスタと、

前記基準電流トランジスタのゲート端子に、各ゲート端子が並列的に接続されるとともに、トランジスタサイズが各々異なる、前記階調電流が流れる複数の階調電流トランジスタと、

を備えていることを特徴とする請求項 2 8 記載の表示装置。

【請求項 3 0】 少なくとも、前記基準電流トランジスタ及び前記階調電流トランジスタの電圧－電流特性が、特定の電圧範囲において略一定の電流値を示す飽和領域を有していることを特徴とする請求項 2 9 記載の表示装置。

【請求項 3 1】 前記表示画素は、前記駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備えていることを特徴とする請求項 2 4 乃至 3 0 のいずれかに記載の表示装置。

【請求項 3 2】 前記表示画素は、前記駆動電流を保持する電流書込保持手段と、該保持された前記駆動電流に基づいて発光駆動電流を生成する発光駆動手段と、前記発光駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子と、を備えていることを特徴とする請求項 2 4 乃至 3 0 のいずれかに記載の表示装置。

【請求項 3 3】 前記表示画素を構成する前記発光駆動手段は、前記発光駆動電流が流れる駆動電流トランジスタを備え、

前記駆動電流トランジスタの電圧－電流特性が、特定の電圧範囲において略一定の電流値を示す飽和領域を有していることを特徴とする請求項 3 2 記載の表示



装置。

【請求項 34】 前記基準電流トランジスタ及び前記階調電流トランジスタ、もしくは、前記駆動電流トランジスタは、半導体基板の一面側に絶縁膜を介して形成された半導体層に、チャネル領域と、該チャネル領域を挟んで形成されたソース領域及びドレイン領域と、該ソース領域及び該ドレイン領域の対向軸に対して垂直方向に、チャネル領域から突出して形成されたターミナル領域と、前記チャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、前記ドレイン領域に電氣的に接続されたドレイン電極と、前記ソース領域及び前記ターミナル領域に電氣的に接続された単一のボディターミナル電極と、を備えたトランジスタ構造を有していることを特徴とする請求項 33 記載の表示装置。

【請求項 35】 前記電流生成手段は、前記駆動電流を前記表示画素側から引き込む方向に流すように、前記合成電流の信号極性を設定することを特徴とする請求項 24 乃至 34 のいずれかに記載の表示装置。

【請求項 36】 前記電流生成手段は、前記駆動電流を前記表示画素に流し込む方向に流すように、前記合成電流の信号極性を設定することを特徴とする請求項 24 乃至 34 のいずれかに記載の表示装置。

【請求項 37】 前記信号駆動手段は、少なくとも、前記信号線の各々に対して 2 組の前記電流生成供給回路を備え、

一方の前記電流生成供給回路において先に保持した前記複数ビットのデジタル信号に基づく前記駆動電流を前記表示画素に供給する動作期間中に、他方の前記電流生成供給回路において次の前記複数ビットのデジタル信号を保持する動作を、交互に順次繰り返し実行することを特徴とする請求項 24 乃至 36 のいずれかに記載の表示装置。

【請求項 38】 前記発光素子は、有機エレクトロルミネッセント素子からなる発光素子であることを特徴とする請求項 24 乃至 37 のいずれかに記載の表示装置。

【請求項 39】 少なくとも、複数の走査線及び複数の信号線群が相互に直交するように配設され、該走査線及び該信号線群の交点に複数の表示画素がマトリクス状に配列された表示パネルと、

前記各表示画素を行単位で選択状態にするための走査信号を前記走査線に印加する走査駆動手段と、表示信号に基づく複数ビットのデジタル信号を、前記各信号線群を介して前記各表示画素に供給する信号駆動手段と、を備え、

前記表示画素は、少なくとも、

発光駆動電流の電流値に応じて所定の輝度階調で発光動作する電流駆動型の発光素子と、

前記複数ビットのデジタル信号を保持する信号保持手段と、単一の定電流源から供給される基準電流に基づいて、前記信号保持手段に保持された前記デジタル信号の値に応じた階調電流を生成して、前記発光駆動電流として前記発光素子に供給する電流生成手段と、前記発光素子を特定の輝度階調で発光動作させるための特定電圧を、前記発光素子に印加する特定状態設定手段と、を有する電流生成供給回路と、

を具備することを特徴とする表示装置。

【請求項 40】 前記特定状態設定手段は、前記デジタル信号に応じて前記階調電流の各々が全て非選択となる状態を判定するデジタル値判定部と、

前記デジタル値判定部による判定結果に基づいて、前記発光素子を最低の輝度階調で発光動作させるための前記特定電圧を印加する特定電圧印加部と、を備えていることを特徴とする請求項 39 記載の表示装置。

【請求項 41】 前記デジタル値判定部は、前記デジタル信号を入力とし、該デジタル信号の各ビット値の論理和に基づいて、前記階調電流の選択状態を判定することを特徴とする請求項 40 記載の表示装置。

【請求項 42】 前記複数の階調電流は、各々  $2^n$  ( $n=0, 1, 2, 3, \dots$ ) で規定される、異なる電流値に設定されていることを特徴とする請求項 39 乃至 41 のいずれかに記載の表示装置。

【請求項 43】 前記電流生成手段は、

前記デジタル信号の各ビットに対応し、前記基準電流に対して、各々異なる比率の電流値を有する前記複数の階調電流を生成するカレントミラー回路部と、

前記複数の階調電流から、前記デジタル信号の各ビット値に応じて前記階調電流を選択するスイッチ回路部と、

を備え、前記選択された前記階調電流の合成電流を、前記駆動電流として供給することを特徴とする請求項 39 乃至 42 のいずれかに記載の表示装置。

【請求項 44】 前記カレントミラー回路部は、  
前記定電流源に接続され、前記基準電流が流れる基準電流トランジスタと、  
前記基準電流トランジスタのゲート端子に、各ゲート端子が並列的に接続されるときともに、トランジスタサイズが各々異なる、前記階調電流が流れる複数の階調電流トランジスタと、  
を備えていることを特徴とする請求項 41 記載の表示装置。

【請求項 45】 少なくとも、前記基準電流トランジスタ及び前記階調電流トランジスタの電圧－電流特性が、特定の電圧範囲において略一定の電流値を示す飽和領域を有していることを特徴とする請求項 44 記載の表示装置

【請求項 46】 少なくとも、前記基準電流トランジスタ及び前記階調電流トランジスタは、半導体基板の一面側に絶縁膜を介して形成された半導体層に、チャンネル領域と、該チャンネル領域を挟んで形成されたソース領域及びドレイン領域と、該ソース領域及び該ドレイン領域の対向軸に対して垂直方向に、チャンネル領域から突出して形成されたターミナル領域と、前記チャンネル領域上にゲート絶縁膜を介して形成されたゲート電極と、前記ドレイン領域に電氣的に接続されたドレイン電極と、前記ソース領域及び前記ターミナル領域に電氣的に接続された単一のボディターミナル電極と、を備えたトランジスタ構造を有していることを特徴とする請求項 45 記載の表示装置。

【請求項 47】 前記電流生成手段は、前記発光駆動電流を前記発光素子側から引き込む方向に流すように、前記合成電流の信号極性を設定することを特徴とする請求項 39 乃至 46 のいずれかに記載の表示装置。

【請求項 48】 前記電流生成手段は、前記発光駆動電流を前記発光素子に流し込む方向に流すように、前記合成電流の信号極性を設定することを特徴とする請求項 39 乃至 46 のいずれかに記載の表示装置。

【請求項 49】 前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする請求項 39 乃至 48 のいずれかに記載の表示装置。

【発明の詳細な説明】

## 【 0 0 0 1 】

## 【発明の属する技術分野】

本発明は、電流生成供給回路及びその制御方法並びに電流生成供給回路を備えた表示装置に関し、特に、画像表示信号に応じた電流を供給することにより所定の輝度階調で発光動作する電流駆動型（又は、電流指定型）の発光素子を備えた表示パネルに適用可能な電流生成供給回路及びその制御方法、並びに、該電流生成供給回路を備えた表示装置に関する。

## 【 0 0 0 2 】

## 【従来の技術】

近年、パーソナルコンピュータや映像機器のモニタやディスプレイとして、液晶表示装置（LCD）等の陰極線管（CRT）に替わる表示装置や表示デバイスの普及が著しい。特に、液晶表示装置は、旧来の表示装置（CRT）に比較して、薄型軽量化、省スペース化、低消費電力化等が可能であるため、急速に普及している。また、比較的小型の液晶表示装置は、近年普及が著しい携帯電話やデジタルカメラ、携帯情報端末（PDA）等の表示デバイスとしても広く適用されている。

## 【 0 0 0 3 】

このような液晶表示装置に続く次世代の表示デバイス（ディスプレイ）として、有機エレクトロルミネッセンス素子（以下、「有機EL素子」と略記する）や発光ダイオード（LED）等のような自己発光型の光学要素（発光素子）を、マトリクス状に配列した表示パネルを備えた発光素子型のディスプレイ（表示装置）の本格的な実用化が期待されている。

このような発光素子型ディスプレイ（特に、アクティブマトリクス駆動方式を適用した発光素子型ディスプレイ）においては、液晶表示装置に比較して、表示応答速度が速く、視野角依存性もなく、また、高輝度・高コントラスト化、表示画質の高精細化、低消費電力化等が可能であるとともに、液晶表示装置のようにバックライトを必要としないので、一層の薄型軽量化が可能であるという極めて優位な特徴を有している。

## 【 0 0 0 4 】

このようなディスプレイの一例は、概略、行方向に配設された走査ラインと列方向に配設されたデータラインの各交点近傍に発光素子を含む表示画素が配列された表示パネルと、画像表示信号（表示データ）に応じた書込電流を生成して、データラインを介して各表示画素に供給するデータドライバと、所定のタイミングで走査信号を順次印加して特定の行の表示画素を選択状態にする走査ドライバと、を備え、各表示画素に供給された上記書込電流により、各発光素子が表示データに応じた所定の輝度階調で発光動作して、所望の画像情報が表示パネルに表示される。なお、発光素子型のディスプレイの具体例については、後述する発明の実施の形態において、詳しく説明する。

#### 【0005】

ここで、上記ディスプレイにおける表示駆動動作においては、複数の表示画素（発光素子）に対して、データドライバにより表示データに応じた電流値を有する個別の書込電流を生成し、走査ドライバにより選択された特定の行の表示画素に同時に供給して、各発光素子を所定の輝度階調で発光させる動作を、1画面分の各行について順次繰り返す電流指定型の駆動方式や、走査ドライバにより選択された特定の行の表示画素に対して、データドライバにより一定の電流値の駆動電流を、表示データに応じた個別の時間幅（信号幅）で供給して、各発光素子を所定の輝度階調で発光させる動作を、1画面分順次繰り返すパルス幅変調（PWM）型の駆動方式等が知られている。

#### 【0006】

このようなディスプレイに適用されるデータドライバの具体的な構成としては、例えば、図38に示すように、電流路の一端（ソース）側が各々異なる電流源  $EC1$ 、 $EC2$ 、 $EC3$ 、・・・に個別に接続され、他端（ドレイン）側が接続接点  $Np$  に共通に接続された複数のスイッチングトランジスタ  $ST1$ 、 $ST2$ 、 $ST3$ 、・・・と、電流路の一端（ソース）側及び制御端子（ゲート）が上記接続接点  $Np$  に共通に接続され、他端（ドレイン）側が第1の低電位電源  $Vp1$  に接続された第1の電流トランジスタ  $Tp1$  と、電流路の一端（ソース）側が表示画素が接続されたデータライン  $DL$  に接続され、他端（ドレイン）側が第2の低電位電源  $Vp2$  に接続された第2の電流トランジスタ  $Tp2$  と、を有する電流生

成回路を備えた構成が知られている。

#### 【0007】

ここで、各電流源  $EC1$ 、 $EC2$ 、 $EC3$ 、 $\dots$  は、各々個別に所定の電流値を有する基準電流  $I_{p1}$ 、 $I_{p2}$ 、 $I_{p3}$ 、 $\dots$  を生成するように構成されている。また、第2の電流トランジスタ  $T_{p2}$  の制御端子（ゲート）は、第1の電流トランジスタ  $T_{p1}$  の制御端子に接続されるとともに、接続接点  $N_p$  に接続され、第1及び第2の電流トランジスタ  $T_{p1}$ 、 $T_{p2}$  により、いわゆる、カレントミラー回路を構成している。

#### 【0008】

このような電流生成回路を備えたデータドライバにおいて、表示データに対応した複数のデジタル入力信号  $D_{p1}$ 、 $D_{p2}$ 、 $D_{p3}$ 、 $\dots$  が個別のスイッチングトランジスタ  $ST1$ 、 $ST2$ 、 $ST3$ 、 $\dots$  の制御端子に印加されることにより、スイッチングトランジスタ  $ST1$ 、 $ST2$ 、 $ST3$ 、 $\dots$  が選択的にオン動作して、第1の電流トランジスタ  $T_{p1}$  に流れる電流（基準電流の合成電流）の電流値が制御される。

#### 【0009】

これにより、カレントミラー回路を構成する第2の電流トランジスタ  $T_{p2}$  に流れる電流、すなわち、データライン  $DL$  を介して表示画素に供給される書込電流  $I_{px}$  の電流値が制御され、表示データに応じた輝度階調で表示画素（発光素子）が発光動作する。ここで、図38に示した構成においては、各電流源  $EC1$ 、 $EC2$ 、 $EC3$ 、 $\dots$  測からスイッチングトランジスタ  $ST1$ 、 $ST2$ 、 $ST3$ 、 $\dots$  及び第1の電流トランジスタ  $T_{p1}$  を介して、所定の低電位電源  $V_{p1}$  に合成電流が流れるように構成されているため、データライン  $DL$  側からデータドライバ（第2の電流トランジスタ  $T_{p2}$ ）方向に引き込まれるように書込電流  $I_{px}$  が流れる。

#### 【0010】

なお、図38に示したようなデータドライバ（定電流駆動回路）については、例えば、特許文献1等にその基本構成等が記載されている。また、図38に示した従来技術においては、データドライバにより生成された書込電流を表示パネル

(表示画素)側からデータドライバ側に、引き込む方向に供給する方式(以下、便宜的に「電流引込方式」と記す)について説明したが、データドライバにより生成された書込電流をデータドライバ側から表示パネル(表示画素)側に、流し込む方向に供給する方式(以下、便宜的に「電流印加方式」と記す)のものも知られている。

#### 【0011】

##### 【特許文献1】

特開 2002-244618号公報 (第5頁、図3)

#### 【0012】

##### 【発明が解決しようとする課題】

しかしながら、上述したような発光素子型ディスプレイにおいては、以下に示すような問題を有していた。

(1) すなわち、上述したようなデジタル駆動方式のデータドライバにおいては、表示データに対応する複数ビットのデジタル入力信号に基づいて、任意の基準電流を選択、合成することにより、書込電流を生成して出力する構成を有しているが、例えば、表示画素(発光素子)を黒表示動作(すなわち、最低階調で発光動作)させる場合には、複数のデジタル入力信号の全てを“0”状態(ローレベル)に設定することになり、スイッチングトランジスタが全てオフ状態(非選択状態)となる。

#### 【0013】

これにより、データラインDLが電氣的にフローティング状態(ハイインピーダンス状態)となり、該黒表示動作直前の表示状態が、配線容量や画素容量により一旦保持され、電荷のリーク(リーク電流)により徐々に表示画素の電圧が低下して黒表示状態に移行するため、迅速な表示動作が行われず、電氣的に不安定な状態が持続するとともに、表示状態の変化が視認されることになるため、表示画質の劣化が生じるという問題を有していた。

#### 【0014】

(2) また、周知の電界効果型トランジスタ(薄膜トランジスタ)においては、いわゆる、キンク(kink)現象によりしきい値電圧が低下して、特定の電圧範

囲においてドレイン電流が増加し、電圧－電流特性が飽和特性を示さなくなることが知られている。そのため、例えば、上述したようなデータドライバを構成する電流生成回路（特に、カレントミラー回路を構成する第1及び第2の電流トランジスタ）において、周知の電界効果型トランジスタを適用した場合、上述したキンク現象により基準電流（合成電流）に対する書込電流の電流値が設計値通りに設定されなくなり、表示画素を所望の輝度階調で発光動作させることができず、表示画質の劣化を招くという問題を有している。なお、この電界効果型トランジスタにおけるキンク現象については、詳しく後述する。

#### 【0015】

そこで、本発明は、上述した課題に鑑み、デジタル駆動方式のデータドライバを用いて、発光素子を発光制御するディスプレイにおいて、通常が表示状態から黒表示状態に迅速に移行することができるとともに、表示データに対応した適切な電流値の書込電流を出力して、表示画質の改善を図ることができる電流生成供給回路及びその制御方法、並びに、該電流生成供給回路を備えた表示装置を提供することを目的とする。

#### 【0016】

##### 【課題を解決するための手段】

請求項1記載の電流生成供給回路は、複数ビットのデジタル信号を保持する信号保持手段と、前記デジタル信号の各ビットに対応する複数の階調電流から、前記信号保持手段を介して出力される前記デジタル信号の各ビット値に応じて、前記階調電流の各々を選択的に合成し、負荷駆動電流として所定の負荷に供給する電流生成手段と、前記負荷を特定の動作状態で駆動させるための特定電圧を、前記負荷に印加する特定状態設定手段と、を備えていることを特徴としている。

請求項2記載の電流生成供給回路は、請求項1記載の電流生成供給回路において、前記特定状態設定手段は、前記デジタル信号に応じて前記階調電流の各々が全て非選択となる状態を判定するデジタル値判定部と、前記デジタル値判定部による判定結果に基づいて、前記負荷を最低階調状態で駆動させるための前記特定電圧を印加する特定電圧印加部と、を備えていることを特徴とする。

#### 【0017】



請求項 3 記載の電流生成供給回路は、請求項 2 記載の電流生成供給回路において、前記デジタル値判定部は、前記デジタル信号を入力とし、該デジタル信号の各ビット値の論理和に基づいて、前記階調電流の選択状態を判定することを特徴としている。

請求項 4 記載の電流生成供給回路は、請求項 1 乃至 3 のいずれかに記載の電流生成供給回路において、前記複数の階調電流は、各々  $2^n$  ( $n=0, 1, 2, 3, \dots$ ) で規定される、異なる電流値に設定されていることを特徴としている。

請求項 5 記載の電流生成供給回路は、請求項 1 乃至 4 のいずれかに記載の電流生成供給回路において、前記電流生成手段は、複数の定電流源から供給され、各々異なる電流値を有する複数の基準電流を、前記複数の階調電流として用いることを特徴としている。

#### 【0018】

請求項 6 記載の電流生成供給回路は、請求項 1 乃至 4 のいずれかに記載の電流生成供給回路において、前記電流生成手段は、前記デジタル信号の各ビットに対応し、単一の定電流源から供給される基準電流に対して、各々異なる比率の電流値を有する前記複数の階調電流を生成するカレントミラー回路部と、前記複数の階調電流から、前記デジタル信号の各ビット値に応じて前記階調電流を選択するスイッチ回路部と、を備え、前記選択された前記階調電流の合成電流を、前記負荷駆動電流として供給することを特徴としている。

#### 【0019】

請求項 7 記載の電流生成供給回路は、請求項 6 記載の電流生成供給回路において、前記カレントミラー回路部は、前記定電流源に接続され、前記基準電流が流れる基準電流トランジスタと、前記基準電流トランジスタのゲート端子に、各ゲート端子が並列的に接続されるとともに、トランジスタサイズが各々異なる、前記階調電流が流れる複数の階調電流トランジスタと、を備えていることを特徴としている。

#### 【0020】

請求項 8 の電流生成供給回路は、請求項 7 記載の電流生成供給回路において、

少なくとも、前記基準電流トランジスタ及び前記階調電流トランジスタの電圧－電流特性が、特定の電圧範囲において略一定の電流値を示す飽和領域を有していることを特徴としている。

請求項 9 記載の電流生成供給回路は、請求項 8 記載の電流生成供給回路において、少なくとも、前記基準電流トランジスタ及び前記階調電流トランジスタは、半導体基板の一面側に絶縁膜を介して形成された半導体層に、チャネル領域と、該チャネル領域を挟んで形成されたソース領域及びドレイン領域と、該ソース領域及び該ドレイン領域の対向軸に対して垂直方向に、チャネル領域から突出して形成されたターミナル領域と、前記チャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、前記ドレイン領域に電氣的に接続されたドレイン電極と、前記ソース領域及び前記ターミナル領域に電氣的に接続された単一のボディターミナル電極と、を備えたトランジスタ構造を有していることを特徴としている。

#### 【0021】

請求項 10 記載の電流生成供給回路は、請求項 6 乃至 9 のいずれかに記載の電流生成供給回路において、前記電流生成手段は、前記負荷駆動電流を前記負荷側から引き込む方向に流すように、前記合成電流の信号極性を設定することを特徴としている。

請求項 11 記載の電流生成供給回路は、請求項 6 乃至 9 のいずれかに記載の電流生成供給回路において、前記電流生成手段は、前記負荷駆動電流を前記負荷に流し込む方向に流すように、前記合成電流の信号極性を設定することを特徴としている。

#### 【0022】

請求項 12 記載の電流生成供給回路は、請求項 1 乃至 11 のいずれかに記載の電流生成供給回路において、前記電流生成供給回路は、前記信号線の各々に対して 2 組設けられ、一方の前記電流生成供給回路において先に保持した前記複数ビットのデジタル信号に基づく前記負荷駆動電流を前記負荷に供給する動作期間中に、他方の前記電流生成供給回路において次の前記複数ビットのデジタル信号を保持する動作を、交互に順次繰り返し実行することを特徴としている。

#### 【0023】

請求項 13 記載の電流生成供給回路は、請求項 1 乃至 12 のいずれかに記載の電流生成供給回路において、前記負荷は、前記電流生成手段から供給される前記負荷駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備え、前記特定状態設定手段は、前記発光素子を最低の輝度階調で発光動作させるための前記特定電圧を、前記発光素子に印加することを特徴としている。

請求項 14 記載の電流生成供給回路は、請求項 13 記載の電流生成供給回路において、前記発光素子は、有機エレクトロルミネッセント素子であることを特徴としている。

#### 【0024】

請求項 15 記載の電流生成供給回路の制御方法は、複数の負荷に対して、所定の負荷駆動電流を個別に供給することにより、前記複数の負荷を所定の動作状態で駆動させる電流生成供給回路の制御方法において、複数ビットのデジタル信号を取り込み保持する動作を、前記複数の負荷に対応して順次繰り返すステップと、前記デジタル信号の各ビットに対応する複数の階調電流から、前記保持された前記デジタル信号の各ビット値に応じて、特定の前記階調電流を選択して合成し、前記負荷駆動電流を生成するステップと、前記負荷駆動電流を前記複数の負荷に対して、同時並行的に供給するステップと、前記デジタル信号の各ビットが特定値の場合に、前記負荷を特定の動作状態で駆動させるための特定電圧を、前記負荷に対して印加するステップと、を含むことを特徴としている。

#### 【0025】

請求項 16 記載の電流生成供給回路の制御方法は、請求項 15 記載の電流生成供給回路の制御方法において、前記特定電圧を前記複数の負荷に対して印加するステップは、前記デジタル信号の各ビット値が前記階調電流の各々を全て非選択とする場合を前記特定値と判定し、前記負荷を最低階調状態で駆動させるための前記特定電圧を印加することを特徴としている。

請求項 17 記載の電流生成供給回路の制御方法は、請求項 16 記載の電流生成供給回路の制御方法において、前記特定電圧を前記複数の負荷に対して印加するステップは、前記デジタル信号の論理和に基づいて、前記特定値を判定すること

を特徴としている。

【0026】

請求項18記載の電流生成供給回路の制御方法は、請求項15乃至17のいずれかに記載の電流生成供給回路の制御方法において、前記複数の階調電流は、単一の定電流源から供給される基準電流に対して、各々異なる電流値を有するように設定されていることを特徴としている。

請求項19記載の電流生成供給回路の制御方法は、請求項18記載の電流生成供給回路の制御方法において、前記複数の階調電流は、前記基準電流に対して、 $2^n$  ( $n=0、1、2、3、・・・$ ) で規定される、異なる電流値を有するように設定されていることを特徴としている。

【0027】

請求項20記載の電流生成供給回路の制御方法は、請求項15乃至19のいずれかに記載の電流生成供給回路の制御方法において、前記負荷駆動電流は、前記負荷から前記電流生成回路に引き込む方向に流れるように、前記負荷駆動電流の信号極性が設定されていることを特徴としている。

請求項21記載の電流生成供給回路の制御方法は、請求項15乃至19のいずれかに記載の電流生成供給回路の制御方法において、前記負荷駆動電流は、前記前記電流生成回路から前記負荷に流し込む方向に流れるように、前記負荷駆動電流の信号極性が設定されていることを特徴としている。

【0028】

請求項22記載の電流生成供給回路の制御方法は、請求項15乃至21のいずれかに記載の電流生成供給回路の制御方法において、連続的に供給される前記複数ビットのデジタル信号に対して、先に保持した前記複数ビットのデジタル信号に基づく前記負荷駆動電流を前記負荷に供給する動作期間中に、次の前記複数ビットのデジタル信号を保持する動作を順次繰り返し実行することを特徴としている。

【0029】

請求項23記載の電流生成供給回路の制御方法は、請求項15乃至22いずれかに記載の電流生成供給回路の制御方法において、前記複数の負荷は、前記負荷

駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備え、前記特定電圧を前記複数の負荷に対して印加するステップは、前記発光素子を最低の輝度階調で発光動作させるための前記特定電圧を印加するように設定されていることを特徴としている。

#### 【0030】

請求項 2 4 記載の表示装置は、少なくとも、複数の走査線及び複数の信号線が相互に直交するように配設され、該走査線及び該信号線の交点に複数の表示画素がマトリクス状に配列された表示パネルと、前記各表示画素を行単位で選択状態にするための走査信号を前記走査線に印加する走査駆動手段と、表示信号に基づく駆動電流を、前記信号線を介して前記各表示画素に供給する信号駆動手段と、を備え、選択状態にある前記表示画素に対して、所定の電流値を有する前記駆動電流を供給することにより、前記各表示画素を所定の輝度階調で発光させて、前記表示パネルに所望の画像情報を表示する表示装置において、前記信号駆動手段は、少なくとも、前記表示信号に基づく複数ビットのデジタル信号を保持する信号保持手段と、前記デジタル信号の各ビットに対応する複数の階調電流から、前記信号保持手段を介して出力される前記デジタル信号の各ビット値に応じて、前記階調電流の各々を選択的に合成し、前記駆動電流として前記表示画素に供給する電流生成手段と、前記表示画素を特定の輝度階調で発光動作させるための特定電圧を、前記表示画素に印加する特定状態設定手段と、を有する電流生成供給回路を複数具備することを特徴としている。

#### 【0031】

請求項 2 5 記載の表示装置は、請求項 2 4 記載の表示装置において、前記特定状態設定手段は、前記デジタル信号に応じて前記階調電流の各々が全て非選択となる状態を判定するデジタル値判定部と、前記デジタル値判定部による判定結果に基づいて、前記表示画素を最低の輝度階調で発光動作させるための前記特定電圧を印加する特定電圧印加部と、を備えていることを特徴としている。

請求項 2 6 記載の表示装置は、請求項 2 5 記載の表示装置において、前記デジタル値判定部は、前記デジタル信号を入力とし、該デジタル信号の各ビット値の論理和に基づいて、前記階調電流の選択状態を判定することを特徴としている。

## 【0032】

請求項 27 記載の表示装置は、請求項 24 乃至 26 のいずれかに記載の表示装置において、前記複数の階調電流は、各々  $2^n$  ( $n=0, 1, 2, 3, \dots$ ) で規定される、異なる電流値に設定されていることを特徴としている。

請求項 28 記載の表示装置は、請求項 24 乃至 27 のいずれかに記載の表示装置において、前記電流生成手段は、前記デジタル信号の各ビットに対応し、単一の定電流源から供給される基準電流に対して、各々異なる比率の電流値を有する前記複数の階調電流を生成するカレントミラー回路部と、前記複数の階調電流から、前記デジタル信号の各ビット値に応じて前記階調電流を選択するスイッチ回路部と、を備え、前記選択された前記階調電流の合成電流を、前記駆動電流として供給することを特徴としている。

## 【0033】

請求項 29 記載の表示装置は、請求項 28 記載の表示装置において、前記カレントミラー回路部は、前記定電流源に接続され、前記基準電流が流れる基準電流トランジスタと、前記基準電流トランジスタのゲート端子に、各ゲート端子が並列的に接続されるとともに、トランジスタサイズが各々異なる、前記階調電流が流れる複数の階調電流トランジスタと、を備えていることを特徴としている。

請求項 30 記載の表示装置は、請求項 29 記載の表示装置において、少なくとも、前記基準電流トランジスタ及び前記階調電流トランジスタの電圧－電流特性が、特定の電圧範囲において略一定の電流値を示す飽和領域を有していることを特徴としている。

請求項 31 記載の表示装置は、請求項 24 乃至 30 のいずれかに記載の表示装置において、前記表示画素は、前記駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備えていることを特徴としている。

## 【0034】

請求項 32 記載の表示装置は、請求項 24 乃至 30 のいずれかに記載の表示装置において、前記表示画素は、前記駆動電流を保持する電流書込保持手段と、該保持された前記駆動電流に基づいて発光駆動電流を生成する発光駆動手段と、前記発光駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の

発光素子と、を備えていることを特徴としている。

請求項 33 記載の表示装置は、請求項 32 記載の表示装置において、前記表示画素を構成する前記発光駆動手段は、前記発光駆動電流が流れる駆動電流トランジスタを備え、前記駆動電流トランジスタの電圧－電流特性が、特定の電圧範囲において略一定の電流値を示す飽和領域を有していることを特徴としている。

#### 【0035】

請求項 34 記載の表示装置は、請求項 33 記載の表示装置において、前記基準電流トランジスタ及び前記階調電流トランジスタ、もしくは、前記駆動電流トランジスタは、半導体基板の一面側に絶縁膜を介して形成された半導体層に、チャネル領域と、該チャネル領域を挟んで形成されたソース領域及びドレイン領域と、該ソース領域及び該ドレイン領域の対向軸に対して垂直方向に、チャネル領域から突出して形成されたターミナル領域と、前記チャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、前記ドレイン領域に電氣的に接続されたドレイン電極と、前記ソース領域及び前記ターミナル領域に電氣的に接続された単一のボディターミナル電極と、を備えたトランジスタ構造を有していることを特徴としている。

#### 【0036】

請求項 35 記載の表示装置は、請求項 24 乃至 34 のいずれかに記載の表示装置において、前記電流生成手段は、前記駆動電流を前記表示画素側から引き込む方向に流すように、前記合成電流の信号極性を設定することを特徴としている。

請求項 36 記載の表示装置は、請求項 24 乃至 34 のいずれかに記載の表示装置において、前記電流生成手段は、前記駆動電流を前記表示画素に流し込む方向に流すように、前記合成電流の信号極性を設定することを特徴としている。

#### 【0037】

請求項 37 記載の表示装置は、請求項 24 乃至 36 のいずれかに記載の表示装置において、前記信号駆動手段は、少なくとも、前記信号線の各々に対して 2 組の前記電流生成供給回路を備え、一方の前記電流生成供給回路において先に保持した前記複数ビットのデジタル信号に基づく前記駆動電流を前記表示画素に供給する動作期間中に、他方の前記電流生成供給回路において次の前記複数ビットの

デジタル信号を保持する動作を、交互に順次繰り返し実行することを特徴としている。

請求項 38 記載の表示装置は、請求項 24 乃至 37 のいずれかに記載の表示装置において、前記発光素子は、有機エレクトロルミネッセント素子からなる発光素子であることを特徴としている。

#### 【0038】

請求項 39 記載の表示装置は、少なくとも、複数の走査線及び複数の信号線群が相互に直交するように配設され、該走査線及び該信号線群の交点に複数の表示画素がマトリクス状に配列された表示パネルと、前記各表示画素を行単位で選択状態にするための走査信号を前記走査線に印加する走査駆動手段と、表示信号に基づく複数ビットのデジタル信号を、前記各信号線群を介して前記各表示画素に供給する信号駆動手段と、を備え、前記表示画素は、少なくとも、発光駆動電流の電流値に応じて所定の輝度階調で発光動作する電流駆動型の発光素子と、前記複数ビットのデジタル信号を保持する信号保持手段と、単一の定電流源から供給される基準電流に基づいて、前記信号保持手段に保持された前記デジタル信号の値に応じた階調電流を生成して、前記発光駆動電流として前記発光素子に供給する電流生成手段と、前記発光素子を特定の輝度階調で発光動作させるための特定電圧を、前記発光素子に印加する特定状態設定手段と、を有する電流生成供給回路と、を具備することを特徴としている。

#### 【0039】

請求項 40 記載の表示装置は、請求項 39 記載の表示装置において、前記特定状態設定手段は、前記デジタル信号に応じて前記階調電流の各々が全て非選択となる状態を判定するデジタル値判定部と、前記デジタル値判定部による判定結果に基づいて、前記発光素子を最低の輝度階調で発光動作させるための前記特定電圧を印加する特定電圧印加部と、を備えていることを特徴としている。

請求項 41 記載の表示装置は、請求項 40 記載の表示装置において、前記デジタル値判定部は、前記デジタル信号を入力とし、該デジタル信号の各ビット値の論理和に基づいて、前記階調電圧の選択状態を判定することを特徴としている。

#### 【0040】



請求項 4 2 記載の表示装置は、請求項 3 9 乃至 4 1 のいずれかに記載の表示装置において、前記複数の階調電流は、各々  $2^n$  ( $n=0, 1, 2, 3, \dots$ ) で規定される、異なる電流値に設定されていることを特徴としている。

請求項 4 3 記載の表示装置は、請求項 3 9 乃至 4 2 のいずれかに記載の表示装置において、前記電流生成手段は、前記デジタル信号の各ビットに対応し、前記基準電流に対して、各々異なる比率の電流値を有する前記複数の階調電流を生成するカレントミラー回路部と、前記複数の階調電流から、前記デジタル信号の各ビット値に応じて前記階調電流を選択するスイッチ回路部と、を備え、前記選択された前記階調電流の合成電流を、前記駆動電流として供給することを特徴としている。

#### 【0041】

請求項 4 4 記載の表示装置は、請求項 4 3 記載の表示装置において、前記カレントミラー回路部は、前記定電流源に接続され、前記基準電流が流れる基準電流トランジスタと、前記基準電流トランジスタのゲート端子に、各ゲート端子が並列的に接続されるとともに、トランジスタサイズが各々異なる、前記階調電流が流れる複数の階調電流トランジスタと、を備えていることを特徴としている。

請求項 4 5 記載の表示装置は、請求項 4 4 記載の表示装置において、少なくとも、前記基準電流トランジスタ及び前記階調電流トランジスタの電圧－電流特性が、特定の電圧範囲において略一定の電流値を示す飽和領域を有していることを特徴としている。

#### 【0042】

請求項 4 6 記載の表示装置は、請求項 4 2 記載の表示装置において、少なくとも、前記基準電流トランジスタ及び前記階調電流トランジスタは、半導体基板の一面側に絶縁膜を介して形成された半導体層に、チャネル領域と、該チャネル領域を挟んで形成されたソース領域及びドレイン領域と、該ソース領域及び該ドレイン領域の対向軸に対して垂直方向に、チャネル領域から突出して形成されたターミナル領域と、前記チャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、前記ドレイン領域に電氣的に接続されたドレイン電極と、前記ソース領域及び前記ターミナル領域に電氣的に接続された単一のボディターミナル電極と

、を備えたトランジスタ構造を有していることを特徴としている。

#### 【0043】

請求項47記載の表示装置は、請求項39乃至46のいずれかに記載の表示装置において、前記電流生成手段は、前記発光駆動電流を前記発光素子側から引き込む方向に流すように、前記合成電流の信号極性を設定することを特徴としている。

請求項48記載の表示装置は、請求項39乃至46のいずれかに記載の表示装置において、前記電流生成手段は、前記発光駆動電流を前記発光素子に流し込む方向に流すように、前記合成電流の信号極性を設定することを特徴としている。

請求項49記載の表示装置は、請求項39乃至48のいずれかに記載の表示装置において、前記発光素子は、有機エレクトロルミネッセント素子であることを特徴としている。

#### 【0044】

すなわち、本発明に係る電流生成供給回路及びその制御方法は、有機EL素子や発光ダイオード等のように、電流値に応じて所定の駆動状態（発光輝度）で動作する負荷（表示画素、発光素子）に対して、所定の電流値を有する負荷駆動電流（書込電流、発光駆動電流）を個別に供給する電流駆動装置であって、複数ビットのデジタル信号を並列的に保持する信号ラッチ部（信号保持手段）と、上記複数ビットのデジタル信号に対応した電流値を有する負荷駆動電流を生成、出力する電流生成部（電流生成手段）と、負荷における特定の動作時に、上記負荷駆動電流の供給に換えて、特定電圧を負荷に印加する特定状態設定部（特定状態設定手段）と、を備え、負荷における通常の階調動作時には、電流生成部により信号ラッチ部に保持されたデジタル信号に応じて、予め規定された複数の階調電流から特定の階調電流を選択して合成（電流値を合算）し、上記負荷駆動電流として負荷に出力し、一方、負荷の特定動作時には、電流生成部による上記負荷駆動電流の供給を遮断するとともに特定電圧が負荷に直接印加されるように構成されている。

ここで、負荷の特定動作としては、負荷を最低階調で駆動させる状態であって、例えば、上記複数ビットのデジタル信号に応じて前記階調電流の各々が全て非

選択となる状態を論理和演算に基づいて判別することにより、負荷への特定電圧の印加が制御される。

#### 【0045】

これにより、複数ビットのデジタル信号に応じた電流値を有する負荷駆動電流を供給することにより負荷を段階的に駆動制御する電流生成供給回路において、負荷を特定の動作状態で駆動する場合には、上記負荷駆動電流の供給を遮断すると同時に、負荷に特定電圧を印加するように構成されているので、上記負荷駆動電流の遮断に伴って負荷に印加される信号レベルがハイインピーダンス状態となって、負荷の動作状態が不安定化する問題を解消することができ、負荷を特定の動作状態に迅速に移行して良好に駆動することができる。

#### 【0046】

また、電流生成部においては、例えば、上記複数の階調電流を流す各薄膜トランジスタ（階調電流トランジスタ）のチャネル幅を各々所定の比率となるように形成し、あるいは、複数の電流発生源から個別に供給される複数の異なる電流値を有する基準電流（階調電流）を取り込み、複数ビットのデジタル信号に応じて、特定の階調電流を選択して合成することにより、所定数段階の電流値を有する負荷駆動電流を比較的簡易な回路構成により生成することができ、負荷を適正な駆動状態で動作させることができる。

#### 【0047】

さらに、上記電流生成供給回路において、少なくとも、負荷駆動電流の生成に直接関連する基準電流又は階調電流を流すトランジスタとして、いわゆる、ボディターミナル構造を有する電界効果型トランジスタを適用することにより、特定の電圧範囲において略一定の電流値を示す飽和領域を有する電圧－電流特性を得ることができるので、信号ラッチ部に保持されたデジタル信号の信号レベルに適切に対応した電流値を有する負荷駆動電流を生成することができ、負荷を適切な駆動状態で動作させることができる。

#### 【0048】

そして、本発明に係る表示装置においては、相互に直交する走査ライン（走査線）及びデータライン（信号線）の交点近傍に、発光素子を備えた表示画素をマ

トリクス状に配列してなる表示パネルを備えた表示装置において、上述したような電流生成供給回路をデータドライバ（信号駆動手段）、もしくは、表示画素内の画素駆動回路に適用し、表示パネルの所定の行に配列された表示画素群の選択期間中に、上記信号ラッチ部に保持した複数ビットのデジタル信号（表示データ）に基づいて電流生成部において生成された特定の階調電流の合成電流を、書込電流又は発光駆動電流として、表示画素又は発光素子に供給する通常の階調表示動作と、上記書込電流又は発光駆動電流の供給を遮断するとともに、黒表示電圧（特定電圧）を表示画素又は発光素子に印加する黒表示動作と、を実行するように構成されている。

#### 【 0 0 4 9 】

これにより、上記電流生成供給回路をデータドライバに適用した場合にあっては、通常の階調表示動作時に、各データラインに対応して設けられた各書込電流生成回路（電流生成供給回路）により、表示データに応じた階調電流が生成、合成されて、適切な電流値を有する書込電流として各表示画素に供給され、一方、黒表示動作時には、各書込電流生成回路による書込電流の供給が遮断されるとともに、表示画素における最低輝度階調での発光動作に対応した所定の黒表示電圧が各データラインに印加されるので、良好な階調表示を実現しつつ、黒表示動作時においても、各データラインの信号レベルを特定の電圧に安定化させて迅速に黒表示状態に移行することができ、表示装置における表示応答特性並びに表示画質の向上を図ることができる。

#### 【 0 0 5 0 】

また、上記電流生成供給回路を表示画素の画素駆動回路に適用した場合にあっては、通常の階調表示動作時に、各表示画素に設けられた画素駆動回路（電流生成供給回路）により、表示データに応じた階調電流が生成、合成されて、適切な電流値を有する発光駆動電流が発光素子に供給され、良好な輝度階調で発光動作が行われ、一方、黒表示動作時には、電流生成部による発光駆動電流の供給が遮断されるとともに、黒表示設定部（特定状態設定手段）により最低輝度階調での発光動作に対応した黒表示電圧が発光素子に印加されるので、良好な階調表示を実現しつつ、迅速に黒表示状態に移行することができ、表示装置における表示応

答特性並びに表示画質の向上を図ることができる。

#### 【0051】

ここで、本発明に係る表示装置においては、表示画素が接続された各列のデータラインごとに2組の書込電流生成回路（電流生成供給回路）又はラッチ回路を備え、各行の表示画素群への書込動作に同期して、該2組の書込電流生成回路を交互に選択状態に設定して、例えば、奇数行目の表示画素に対しては、一方の書込電流生成回路又はラッチ回路から書込電流を供給し、偶数行目の表示画素群に対しては、他方の書込電流生成回路又はラッチ回路から書込電流を供給するように制御するものであってもよい。このような構成によれば、一方の書込電流生成回路又はラッチ回路から特定の行の表示画素に書込電流を供給する動作に並行して、他方の書込電流生成回路又はラッチ回路により次行の表示画素に供給する書込電流を生成するための表示データを取り込む動作を、2組の書込電流生成回路により交互に繰り返し実行することにより、各行の表示画素に対して連続的に書込電流を供給することができ、表示装置の画質の向上を図ることができる。

#### 【0052】

##### 【発明の実施の形態】

以下、本発明に係る電流生成供給回路及びその制御方法並びに電流生成供給回路を備えた表示装置について、実施の形態を示して詳しく説明する。

##### ＜電流生成供給回路＞

まず、本発明に係る電流生成供給回路及びその制御方法について、図面を参照して説明する。

図1は、本発明に係る電流生成供給回路の一実施形態を示す概略構成図である。

#### 【0053】

図1に示すように、本実施形態に係る電流生成供給回路ISAは、電流値を指定するための複数ビット（本実施形態においては、4ビットの場合を示す）のデジタル信号d0、d1、d2、d3（d0～d3）を個別に取り込んで保持（ラッチ）するラッチ回路LC0、LC1、LC2、LC3（LC0～LC3）を備えた信号ラッチ部（信号保持手段）10と、電流発生源（定電流源）IRAから

供給される一定の電流値を有する基準電流  $I_{ref}$  を取り込み、上記信号ラッチ部 10（各ラッチ回路 LC0～LC3）から出力される出力信号 d10、d11、d12、d13（d10～d13）に基づいて、基準電流  $I_{ref}$  に対して所定比率の電流値を有する負荷駆動電流  $I_D$  を生成し、電流供給線 CL を介して図示を省略した負荷に出力する電流生成部（電流生成手段）20Aと、上記出力信号 d10～d13に基づいて、負荷を特定の動作状態で駆動させる場合にのみ、負荷（電流供給線 CL）に対して特定の電圧（特定電圧）を印加する特定状態設定部（特定状態設定手段）30Aと、を有して構成されている。ここで、電流発生源 IRAは、電流生成部 20A 方向に基準電流  $I_{ref}$  を流す（流し込む）ために、高電位電源に接続された電源接点 +V に接続されている。

#### 【0054】

以下、上記各構成について、具体的に説明する。

図2は、本実施形態に係るラッチ回路の一具体例を示す回路構成図である。また、図3は、本実施形態に係る電流生成部の一具体例を示す回路構成図であり、図4は、本実施形態に係る電流生成部の他の具体例を示す回路構成図である。さらに、図5は、本実施形態に係る特定状態設定部に適用可能な論理回路を示す回路構成図である。ここでは、上述した電流生成供給回路の概略構成（図1）を適宜参照しながら説明する。

#### 【0055】

信号ラッチ部 10 は、図1に示すように、デジタル信号 d0～d3 のビット数（4ビット）に応じた数のラッチ回路 LC0～LC3 が並列に設けられ、図示を省略したタイミングジェネレータやシフトレジスタ等から出力されるタイミング制御信号 CLK に基づいて、各々個別に供給される上記デジタル信号 d0～d3 を同時に取り込み、当該デジタル信号 d0～d3 に基づく信号レベル（出力信号 d10～d13）を出力、保持する動作を実行する。

#### 【0056】

ここで、信号ラッチ部 10 を構成する各ラッチ回路 LC0～LC3 は、図2（a）に示すように、pチャネル型及びnチャネル型の電界効果型トランジスタ（MOSFET）を直列に接続した周知の相補型トランジスタ回路（CMOSイン

バータ; 以下、「CMOS」と記す)を複数備えた構成を適用することができる。

#### 【0057】

具体的には、図2(a)に示すように、ラッチ回路LTC(LC0~LC3)は、pチャネル型トランジスタTr1及びnチャネル型トランジスタTr2からなるCMOS11と、pチャネル型トランジスタTr3及びnチャネル型トランジスタTr4からなるCMOS12と、pチャネル型トランジスタTr5及びnチャネル型トランジスタTr6からなるCMOS13と、pチャネル型トランジスタTr7及びnチャネル型トランジスタTr8からなるCMOS14と、pチャネル型トランジスタTr9及びnチャネル型トランジスタTr10からなるCMOS15と、pチャネル型トランジスタTr11及びnチャネル型トランジスタTr12からなるCMOS16と、を備えた構成を有している。

#### 【0058】

CMOS11の入力接点(ラッチ回路LTCのクロック入力端子)CKには、タイミング制御信号(クロック信号)CLKが入力され、その出力接点N11はCMOS12の入力接点に接続されている。また、CMOS13の入力端子には、上記タイミング制御信号CLKが入力され、その出力接点N12はCMOS12の出力接点とともに、CMOS14の入力接点に接続されている。CMOS14の出力接点N13は、CMOS15及びCMOS16の入力接点に接続されるとともに、該出力接点N13の信号レベルが反転出力信号として、ラッチ回路LTCの反転出力端子OT\* (明細書中では、便宜的に「OT\*」と記す; 図2(a)の符号参照。以下、反転信号について同様に記載する)から出力される。一方、CMOS15の出力接点N15の信号レベルは、非反転出力信号として、ラッチ回路LTCの非反転出力端子OTから出力される。

#### 【0059】

また、CMOS11、CMOS14、CMOS15及びCMOS16を構成する各pチャネル型トランジスタTr1、Tr7、Tr9及びTr11は、電流路の一端が高電位電源Vddに接続され、また、各nチャネル型トランジスタTr2、Tr8、Tr10及びTr12は、電流路の一端が低電位電源Vgnd(接地電

位) に接続されている。CMOS 12 の p チャンネル型トランジスタ Tr 3 及び CMOS 13 の n チャンネル型トランジスタ Tr 6 は、電流路の一端がラッチ回路 LTC の信号入力端子 IN に接続されて、上記デジタル信号 d 0 ~ d 3 が入力され、また、CMOS 12 の n チャンネル型トランジスタ Tr 4 及び CMOS 13 の p チャンネル型トランジスタ Tr 5 は、電流路の一端が上記 CMOS 16 の出力接点 N 14 に接続されている。

#### 【0060】

このような構成を有する信号ラッチ部 10 においては、最初のタイミング制御信号 CLK (所定の信号幅を有するハイレベルのパルス信号) が印加されると、CMOS 12 の p チャンネル型トランジスタ Tr 3 側及び CMOS 13 の n チャンネル型トランジスタ Tr 6 がオン動作して、当該タイミングにおけるデジタル信号 d 0 ~ d 3 が取り込まれ、CMOS 12 及び CMOS 13 の共通の出力接点 N 12 の信号レベルがデジタル信号 d 0 ~ d 3 により規定される。これにより、出力接点 N 12 の信号レベル (デジタル信号 d 0 ~ d 3 の信号レベル) に基づいて、非反転出力端子 OT 及び反転出力端子 OT\*、CMOS 16 の出力接点 N 14 の各信号レベル (ハイレベル/ローレベル) が確定する。

#### 【0061】

ここで、上記タイミング制御信号 CLK の印加後 (すなわち、タイミング制御信号 CLK がローレベル状態) においては、CMOS 12 の p チャンネル型トランジスタ Tr 3 側及び CMOS 13 の n チャンネル型トランジスタ Tr 6 がオフ動作するが、CMOS 12 の n チャンネル型トランジスタ Tr 4 及び CMOS 13 の p チャンネル型トランジスタ Tr 5 がオン動作して、CMOS 16 の出力接点 N 14 の信号レベル (非反転出力信号 (非反転出力端子 OT の信号レベル) と同等) が取り込まれて、CMOS 12 及び CMOS 13 の共通の出力接点 N 12 の信号レベルが規定される。これにより、タイミング制御信号 CLK の印加時と同等の信号レベルを有する非反転出力信号 (非反転出力端子 OT の信号レベル) 及び反転出力信号 (反転出力端子 OT\* の信号レベル) が継続して出力される。この出力信号の信号レベルは、次のタイミング制御信号 CLK の印加時における信号入力端子 IN の信号レベル (デジタル信号 d 0 ~ d 3 の信号レベル) が変化するま



で、同一の出力状態が保持される。

#### 【0062】

なお、上述したラッチ回路 L T C においては、入力信号として単一のタイミング制御信号 C L K を単一の入力接点 C K に印加する構成のみを示したが、本発明はこれに限定されるものではなく、例えば、図 2 (b) に示すように、図 2 (a) に示した C M O S 1 1 に替えて、C M O S 1 2 の入力接点 C K \* に、タイミング制御信号 C L K の反転信号 C L K \* (明細書中では、便宜的に「C L K \*」と記す; 図 2 (b) の符号参照) を直接印加するようにした構成を適用するものであってもよい。

#### 【0063】

また、電流生成部 2 0 A は、例えば、図 3 に示すように、基準電流  $I_{ref}$  に対して、各々、異なる比率の電流値を有する複数の単位電流 (以下、「階調電流」と記す)  $I_{dsa}$ 、 $I_{dsb}$ 、 $I_{dsc}$ 、 $I_{dsd}$  を生成するカレントミラー回路部 2 1 A と、上記複数の階調電流  $I_{dsa} \sim I_{dsd}$  のうち、上記信号ラッチ部 1 0 の各ラッチ回路 L C 0  $\sim$  L C 3 から出力される出力信号 d 1 0  $\sim$  d 1 3 (図 2 に示した非反転出力端子 O T の信号レベル) に基づいて、任意の階調電流を選択するスイッチ回路部 2 2 A と、を備えている。

#### 【0064】

具体的には、図 3 に示すように、電流生成部 2 0 A に適用されるカレントミラー回路部 2 1 A は、基準電流  $I_{ref}$  が供給される電流入力接点  $I N i$  と低電位電源 (接地電位)  $V_{gnd}$  との間に電流路 (ソースドレイン端子) が接続されるとともに、制御端子 (ゲート端子) が接点  $N g$  に接続された  $n$  チャンネル型のトランジスタ (基準電流トランジスタ)  $T r 2 1$  と、各接点  $N a$ 、 $N b$ 、 $N c$ 、 $N d$  と低電位電源  $V_{gnd}$  との間に各電流路が接続されるとともに、制御端子が接点  $N g$  に共通に接続された複数 (ラッチ回路 L C 0  $\sim$  L C 3 に対応した 4 個) の  $n$  チャンネル型のトランジスタ (階調電流トランジスタ)  $T r 2 2$ 、 $T r 2 3$ 、 $T r 2 4$ 、 $T r 2 5$  と、を備えた構成を有している。ここで、接点  $N g$  は、電流入力接点  $I N i$  に直接接続されているとともに、低電位電源  $V_{gnd}$  との間に容量  $C 1$  が接続された構成を有している。

## 【0065】

また、電流生成部 20A に適用されるスイッチ回路部 22A は、電流供給線 CL を介して負荷が接続される電流出力接点 OUT<sub>i</sub> と各接点 Na、Nb、Nc、Nd との間に電流路が接続されるとともに、制御端子に上記各ラッチ回路 LC0～LC3 から個別に出力される出力信号 d10～d13 が並列的に印加される複数（4 個）の n チャンネル型のトランジスタ Tr26、Tr27、Tr28、Tr29 と、を備えた構成を有している。

## 【0066】

ここで、本実施形態に係る電流生成部 20A においては、特に、カレントミラー回路部 21A を構成する各階調電流トランジスタ Tr22～Tr25 に流れる階調電流 I<sub>dsa</sub>～I<sub>dsd</sub> が、基準電流トランジスタ Tr21 に流れる基準電流 I<sub>ref</sub> に対して、各々異なる所定の比率の電流値を有するように設定されている。具体的には、各階調電流トランジスタ Tr22～Tr25 のトランジスタサイズが、各々異なる比率、例えば、各階調電流トランジスタ Tr22～Tr25 のチャンネル長を一定とした場合の各チャンネル幅の比（W2：W3：W4：W5）が 1：2：4：8 になるように形成されている。

## 【0067】

これにより、各階調電流トランジスタ Tr22～Tr25 に流れる階調電流 I<sub>dsa</sub>～I<sub>dsd</sub> の電流値は、基準電流トランジスタ Tr21 のチャンネル幅を W1 とすると、各々  $I_{dsa} = (W2/W1) \times I_{ref}$ 、 $I_{dsb} = (W3/W1) \times I_{ref}$ 、 $I_{dsc} = (W3/W1) \times I_{ref}$ 、 $I_{dsd} = (W4/W1) \times I_{ref}$  に設定される。すなわち、階調電流トランジスタ Tr22～Tr25 のチャンネル幅を、各々  $2^n$ （ $n=0, 1, 2, 3, \dots$ ； $2^n=1, 2, 4, 8, \dots$ ）に設定することにより、階調電流間の電流値を  $2^n$  で規定される比率に設定することができる。

## 【0068】

このように電流値が設定された各階調電流 I<sub>dsa</sub>～I<sub>dsd</sub> から、後述するように、複数ビットのデジタル信号 d0～d3（出力信号 d10～d13）に基づいて、任意の階調電流を選択して合成することにより、 $2^n$  段階の電流値を有する負荷駆動電流 ID が生成され、電流出力接点 OUT<sub>i</sub> に供給されることになる。す

なわち、図1乃至図3に示したように、4ビットのデジタル信号 $d_0 \sim d_3$ を適用した場合、各階調電流トランジスタ $Tr_{22} \sim Tr_{25}$ に接続されるトランジスタ $Tr_{26} \sim Tr_{29}$ のオン状態に応じて、 $2^4 = 16$ 段階の異なる電流値を有する負荷駆動電流 $I_D$ が生成される。

#### 【0069】

このような構成を有する電流生成部20Aにおいては、上記ラッチ回路 $LC_0 \sim LC_3$ から出力される出力信号 $d_{10} \sim d_{13}$ の信号レベルに応じて、スイッチ回路部22Aの特定のトランジスタがオン動作（トランジスタ $Tr_{26} \sim Tr_{29}$ のいずれか1つ以上がオン動作する場合のほか、いずれのトランジスタ $Tr_{26} \sim Tr_{29}$ もオフ動作する場合を含む）し、該オン動作したトランジスタに接続されたカレントミラー回路部22Aの階調電流トランジスタ（ $Tr_{22} \sim Tr_{25}$ のいずれか1つ以上）に、基準電流トランジスタ $Tr_{21}$ に流れる基準電流 $I_{ref}$ に対して、所定比率（ $a \times 2^n$ 倍； $a$ は基準電流トランジスタ $Tr_{21}$ のチャネル幅 $W_1$ により規定される定数）の電流値を有する階調電流 $I_{dsa} \sim I_{dsd}$ が流れ、上述したように、電流出力接点 $OUT_i$ において、これらの階調電流の合成値となる電流値を有する負荷駆動電流 $I_D$ が、図示を省略した負荷側から、電流出力接点 $OUT_i$ 、オン状態にあるトランジスタ（ $Tr_{26} \sim Tr_{29}$ のいずれか）及び階調電流トランジスタ（ $Tr_{22} \sim Tr_{25}$ のいずれか）を介して低電位電源 $V_{gnd}$ に流れる。

#### 【0070】

したがって、本実施形態に係る電流生成供給回路ISAにおいては、タイミング制御信号CLKにより規定されるタイミングで、信号ラッチ部21Aに入力される複数ビットのデジタル信号 $d_0 \sim d_3$ に応じて、電流生成部22Aにより所定の電流値を有するアナログ電流からなる負荷駆動電流 $I_D$ が生成されて、負荷に供給されることになる（本実施形態においては、上述したように、負荷側から電流生成供給回路方向に負荷駆動電流が引き込まれる）。

すなわち、電流生成供給回路ISAに信号レベルが変動しない一定の基準電流を流すのみで、複数ビットのデジタル信号に応じた所望の電流値を有する負荷駆動電流を生成することができる構成を有しているので、生成される負荷駆動電流

が微小な場合であっても、基準電流が供給される信号線に付加された寄生容量（配線容量）への充放電動作を排除して、電流生成供給回路の動作速度を向上させることができる。

#### 【0071】

なお、本実施形態においては、電流生成部として、カレントミラー回路構成（カレントミラー回路部 21A）を備え、各階調電流トランジスタにより、基準電流トランジスタに流れる基準電流  $I_{ref}$  に対して各々異なる所定の比率の電流値を有する階調電流を選択的に合成して、負荷駆動電流  $I_D$  を生成する構成について説明したが、本発明はこれに限定されるものではなく、例えば、図 4 に示すような回路構成を有するものであってもよい。

#### 【0072】

すなわち、図 4 に示すように、各々異なる電流値を有する基準電流  $I_{r1}$ 、 $I_{r2}$ 、 $I_{r3}$ 、 $I_{r4}$  が個別に供給（引き抜くように供給）される複数の電流入力接点  $IN1$ 、 $IN2$ 、 $IN3$ 、 $IN4$ （ $IN1 \sim IN4$ ）と電流出力接点  $OUT_i$  との間に電流路が接続されるとともに、制御端子に上記各ラッチ回路  $LC0 \sim LC3$  から個別に出力される出力信号  $d10 \sim d13$  が並列的に印加される 4 個の  $n$  チャンネル型のトランジスタ  $Tr31$ 、 $Tr32$ 、 $Tr33$ 、 $Tr34$ （ $Tr31 \sim Tr34$ ）を備えた構成を適用することもできる。

#### 【0073】

ここで、各電流入力接点  $IN1 \sim IN4$  には、図示を省略した個別の電流発生源が接続される。また、各電流発生源により生成、供給される基準電流  $I_{r1}$ 、 $I_{r2}$ 、 $I_{r3}$ 、 $I_{r4}$  は、例えば、図 3 に示したカレントミラー回路構成を適用した場合と同様に、各々異なる比率（例えば、 $I_{r1} : I_{r2} : I_{r3} : I_{r4} = 1 : 2 : 4 : 8$ ）の電流値を有するように設定されているものであってもよい。

このような構成を有する電流生成部においても、上述した実施形態と同様に、ラッチ回路  $LC0 \sim LC3$  から出力される出力信号  $d10 \sim d13$  の信号レベルに応じて、トランジスタ  $Tr31 \sim Tr34$  の特定のトランジスタがオン動作して、該オン動作したトランジスタに流れる基準電流の合成電流が、電流出力接点

OUT<sub>i</sub>を介して負荷駆動電流 I<sub>D</sub>として供給される。

【0074】

また、特定状態設定部 30A は、図 1 に示すように、上記ラッチ回路 LC0～LC3 の各々から出力される出力信号 d10～d13 を入力信号とする否定論理和演算回路（デジタル値判定部；以下、「NOR 回路」と略記する）31 と、該 NOR 回路 31 からの出力端が制御端子（ゲート）に、電流路の一端側が特定電圧 V<sub>bk</sub> を印加する電圧源に、他端側が電流供給線 CL（図示を省略した負荷）に、各々接続された n チャネル型の電界効果型トランジスタからなる特定電圧印加トランジスタ（特定電圧印加部）TN32 と、を備えた構成を有している。

【0075】

ここで、NOR 回路 31 は、例えば、図 5 に示すように、高電位電源 V<sub>dd</sub> と出力接点 N<sub>out</sub> との間に、複数の p チャネル型の電界効果型トランジスタ Tr41～Tr44 を直列に接続した直列回路と、低電位電源（接地電位）V<sub>gnd</sub> と出力接点 N<sub>out</sub> との間に、複数の n チャネル型の電界効果型トランジスタ Tr45～Tr48 を並列に接続した並列回路と、を備え、各 p チャネル型及び n チャネル型の電界効果型トランジスタ Tr41～Tr44、Tr45～Tr48 の制御端子に、各ラッチ回路 LC0～LC3 からの出力信号 d10～d13 を個別に印加するようにした周知の回路構成により実現することができる。

【0076】

このような構成を有する特定状態設定部 30A においては、NOR 回路 31 により、上記ラッチ回路 LC0～LC3 から出力される出力信号 d10～d13 の信号レベルが全て“0”となる特定の状態であるか否かが判別され、該特定状態においてのみ、特定電圧印加トランジスタ TN32 がオン動作して、電流供給線 CL を介して負荷に特定電圧 V<sub>bk</sub> が印加される。

【0077】

したがって、複数ビットのデジタル信号により負荷を段階的に駆動制御する電流生成供給回路において、全てのデジタル信号（出力信号 d10～d13）を“0”に設定して、負荷を特定の動作状態で駆動する場合であっても、負荷に接続された電流供給線 CL の信号レベルが、特定状態設定部 30A により速やかに特

定電圧 $V_{bk}$ に設定される。これにより、電流生成部 20A において電流出力が遮断されることにより、電流供給線 CL の信号レベルがハイインピーダンス状態となって、負荷の動作状態が不安定化する問題を解消することができ、負荷を特定の動作状態で良好に駆動することができる。

#### 【0078】

なお、後述するように、上記複数ビットのデジタル信号としては、表示装置に所望の画像情報を表示するための表示データ（表示信号）を適用することでき、この場合において、電流生成供給回路により生成、出力される負荷駆動電流は、表示パネルを構成する各表示画素に供給される書込電流、又は、各表示画素の発光素子に供給される発光駆動電流に対応する。詳しくは、後述する。

#### 【0079】

次に、本発明に係る電流生成供給回路の他の実施形態について、図面を参照して説明する。

図6は、本発明に係る電流生成供給回路の他の実施形態を示す概略構成図である。また、図7は、本実施形態に係る電流生成供給回路に適用される電流生成部の一具体例を示す回路構成図であり、図8は、本実施形態に係る電流生成供給回路に適用される電流生成部の他の具体例を示す回路構成図である。さらに、図9は、本実施形態に係る特定状態設定部に適用可能な論理回路を示す回路構成図である。ここで、上述した実施形態と同等の構成については、同一の符号を付して、その説明を簡略化する。

#### 【0080】

上述した実施形態においては、電流生成供給回路 ISA に接続された負荷側から、電流生成供給回路 ISA 方向に負荷駆動電流 ID を引き込むように構成した場合（便宜的に、「電流シンク方式」と記す）について示したが、本実施形態においては、電流生成供給回路 ISB 側から負荷方向に負荷駆動電流を流し込む構成（便宜的に、「電流印加方式」と記す）を有している。

具体的には、図6に示すように、本実施形態に係る電流生成供給回路 ISB は、上述した実施形態と同等の構成を有する信号ラッチ部 10 と、ラッチ回路 LC0 ~ LC3 の反転出力端子に接続された電流生成部 20B と、ラッチ回路 LC0

～LC3の非反転出力端子に接続された特定状態設定部30Bと、を有して構成されている。ここで、電流生成部20Bに接続された電流発生源IRBは、電流生成部20B側から電流発生源IRB方向に基準電流I<sub>ref</sub>を流すように、低電位電源V<sub>gnd</sub>に接続されている。

#### 【0081】

信号ラッチ部10は、複数のデジタル信号d0～d3に対応してラッチ回路LC0～LC3が個別に設けられた構成を有し、各ラッチ回路LC0～LC3の反転出力信号d10\*～d13\*（図2に示した反転出力端子OT\*の信号レベルであって、明細書中では、便宜的に「d10\*～d13\*」と記す；図6の符号参照）が電流生成部20Bに出力されるように接続されている。

本実施形態に係る電流生成部20Bは、図7に示すように、概略、上述した実施形態（図3参照）と同様に、トランジスタTr51～Tr55からなるカレントミラー回路部21B、及び、トランジスタTr56～Tr59からなるスイッチ回路部22Bと、を備え、各ラッチ回路LC0～LC3からの出力信号d10\*～d13\*に基づいて、基準電流I<sub>ref</sub>に対して、所定比率の電流値を有する複数の階調電流I<sub>dsi</sub>、I<sub>dsj</sub>、I<sub>dsk</sub>、I<sub>dsl</sub>を任意に選択、合成して生成される負荷駆動電流IDを負荷に供給するように構成されている。

#### 【0082】

具体的には、カレントミラー回路部21B及びスイッチ回路部22Bを構成する全てのトランジスタTr51～Tr59がpチャネル型から構成されている。基準電流トランジスタTr51は、電流入力接点INiと電源接点+Vとの間に接続され、制御端子が接点Ngを介して電流入力接点INiに接続されるとともに、容量C1を介して電源接点+Vに接続されている。また、階調電流トランジスタTr52～Tr55は、各々、接点Ni、Nj、Nk、Nlと電源接点+Vとの間に接続されるとともに、制御端子が接点Nhに共通に接続され、スイッチング用のトランジスタTr56～Tr59は、各々、上記接点Ni、Nj、Nk、Nlと電流出力接点OUTiとの間に接続されるとともに、制御端子に各々、ラッチ回路LC0～LC3から出力される出力信号d10\*～d13\*が並列的に印加されるように構成されている。

## 【0083】

ここで、本実施形態においても、カレントミラー回路部 21B を構成する各階調電流トランジスタ  $T_{r52} \sim T_{r55}$  のトランジスタサイズ（すなわち、チャネル長を一定とした場合のチャネル幅）が、基準電流トランジスタを基準として、所定の比率になるように形成され、各電流路に流れる階調電流  $I_{dsi} \sim I_{dsl}$  が、基準電流  $I_{ref}$  に対して、各々異なる所定の比率の電流値を有するように設定されている。

## 【0084】

これにより、電流生成部 20B においても、信号ラッチ部 20B（ラッチ回路  $LC0 \sim LC3$ ）から出力される出力信号  $d10^* \sim d13^*$  の信号レベルに応じて、スイッチ回路部 22B の特定のトランジスタ  $T_{r36} \sim T_{r39}$  がオン動作して、階調電流トランジスタ  $T_{r32} \sim T_{r35}$  を介して基準電流  $I_{ref}$  の所定比率倍の電流値を有する階調電流  $I_{dsi} \sim I_{dsl}$  が流れ、これらの合成電流が電流出力接点  $OUT_i$  を介して負荷駆動電流  $ID$  として図示を省略した負荷に供給される（本実施形態においては、電流生成供給回路側から負荷方向に負荷駆動電流が流れ込む）。

## 【0085】

なお、本実施形態においても、電流生成部として、図 7 に示したようなカレントミラー回路構成（カレントミラー回路部 21B）を適用することなく、例えば、図 8 に示すような回路構成を有するものであってもよい。すなわち、図 8 に示す電流生成部 20B' は、各々異なる電流値を有する基準電流  $I_{r1}$ 、 $I_{r2}$ 、 $I_{r3}$ 、 $I_{r4}$  が個別に供給（流し込むように供給）される複数の電流入力接点  $IN1 \sim IN4$  と電流出力接点  $OUT_i$  との間に電流路が接続されるとともに、制御端子に上記各ラッチ回路  $LC0 \sim LC3$  から出力される出力信号  $d10^* \sim d13^*$  が並列的に印加される 4 個の p チャネル型トランジスタ  $T_{r61} \sim T_{r64}$  を備えた構成を有している。

ここで、各電流入力接点  $IN1 \sim IN4$  には、図示を省略した個別の電流発生源が接続され、各電流発生源により基準電流  $I_{r1}$ 、 $I_{r2}$ 、 $I_{r3}$ 、 $I_{r4}$  が、例えば、図 7 に示したカレントミラー回路構成を適用した場合と同様に、各々



異なる比率の電流値を有するように設定されているものであってもよい。

#### 【0086】

また、特定状態設定部 30B は、図 6 に示すように、上記ラッチ回路 LC0～LC3 の各々から出力される出力信号 d10～d13 を入力信号とする論理和演算回路（デジタル値判定部；以下、「OR 回路」と略記する）33 と、該 OR 回路 33 からの出力端が制御端子に、電流路の一端側が特定電圧 V<sub>bk</sub> を印加する電圧源に、他端側が電流供給線 CL（図示を省略した負荷）に、各々接続された p チャンネル型の電界効果型トランジスタからなる特定電圧印加トランジスタ（特定電圧印加部）TP34 と、を備えた構成を有している。

ここで、OR 回路 33 は、例えば、図 9（a）に示すように、各ラッチ回路 LC0～LC3 からの出力信号 d10、d11 及び d12、d13 が個別に入力される 2 組の 2 入力 NOR 回路 33a、33b と、該 2 入力 NOR 回路 33a、33b からの論理出力を入力とする否定論理積回路（以下、「NAND 回路」と略記する）33c と、を備えた周知の回路構成により実現することができる。

#### 【0087】

2 入力 NOR 回路 33a、33b は、具体的には、図 9（b）に示すように、各々、高電位電源 V<sub>dd</sub> と出力接点 Nota 又は Notb との間に直列に接続された p チャンネル型トランジスタ Tr71a、Tr72a 及び Tr71b、Tr72b と、低電位電源 V<sub>gnd</sub> と出力接点 Nota 又は Notb との間に並列に接続された n チャンネル型トランジスタ Tr73a、Tr74a 及び Tr73b、Tr74b と、を備え、各 p チャンネル型及び n チャンネル型トランジスタ Tr71a～Tr74a 及び Tr71b～Tr74b の制御端子に、各ラッチ回路 LC0～LC3 の出力信号 d10～d13 が個別に印加された周知の回路構成を適用することができる。

#### 【0088】

また、NAND 回路 33c は、具体的には、図 9（b）に示すように、高電位電源 V<sub>dd</sub> と出力接点 Notc との間に並列に接続された p チャンネル型トランジスタ Tr75、Tr76 と、低電位電源 V<sub>gnd</sub> と出力接点 Notc との間に並列に接続された n チャンネル型トランジスタ Tr77、Tr78 と、を備え、各 p チャンネル型及び n チャンネル型トランジスタ Tr75、Tr76 及び Tr77、Tr78 の制

御端子に、上記各 2 入力 NOR 回路 33a、33b の論理出力（出力接点 Not a、Not b の信号レベル）が個別に印加された周知の回路構成を適用することができる。

#### 【0089】

このような構成を有する特定状態設定部 30B においても、OR 回路 33 により、上記ラッチ回路 LC0～LC3 から出力される出力信号 d10～d13 の信号レベルが全て“0”となる特定の状態であるか否かが判別され、該特定状態においてのみ、特定電圧印加トランジスタ TP34 がオン動作して、電流供給線 CL を介して負荷に特定電圧 Vbk が印加される。

#### 【0090】

そして、上述したような構成及び機能を有する電流生成供給回路 ISA、ISB は、表示装置の駆動制御装置（データドライバ）、もしくは、表示装置（表示パネル）の表示画素を構成する画素駆動回路に良好に適用することができる。以下に、本発明に係る電流生成供給回路を備えた表示装置について、具体的に説明する。

#### ＜第 1 の実施形態＞

まず、本発明に係る電流生成供給回路を表示装置の駆動制御装置（データドライバ）に適用した場合の実施形態について、図面を参照して説明する。

#### 【0091】

#### ＜表示装置＞

図 10 は、本発明に係る電流生成供給回路を適用可能な表示装置の第 1 の実施形態を示す概略ブロック図であり、図 11 は、本実施形態に係る表示装置に適用される表示パネルの一例を示す概略構成図である。また、図 12 は、本実施形態に係る表示装置の他の構成例を示す概略ブロック図である。ここでは、表示パネルとしてアクティブマトリクス方式に対応した表示画素を備えた構成について説明する。また、本実施形態においては、電流シンク方式を採用した構成について説明する。

#### 【0092】

図 10、図 11 に示すように、本実施形態に係る表示装置 100A は、概略、

複数の表示画素がマトリクス状に配列された表示パネル 110A と、表示パネル 110A の行方向に配列された表示画素群ごとに、共通に接続された走査ライン（走査線）SL に接続された走査ドライバ（走査駆動手段）120A と、表示パネル 110A の列方向に配列された表示画素群ごとに、共通に接続されたデータライン（信号線）DL に接続されたデータドライバ（信号駆動手段）130A と、上記走査ライン SL に並行して配設され、表示パネル 110A の行方向に配列された表示画素群ごとに、共通に接続された電源ライン VL に接続された電源ドライバ 140 と、走査ドライバ 120A 及びデータドライバ 130A、電源ドライバ 140 の動作状態を制御する各種制御信号を生成、出力するシステムコントローラ 150 と、表示装置 100A の外部から供給される映像信号に基づいて、表示データやタイミング信号等を生成する表示信号生成回路 160 と、を備えて構成されている。

#### 【0093】

以下、上記各構成について具体的に説明する。

（表示パネル）

表示パネル 110A は、具体的には、図 11 に示すように、相互に並列に配設された複数の走査ライン SL 及び電源ライン VL と、該走査ライン SL 及び電源ライン VL に対して、直交するように配設された複数のデータライン DL と、これらの直交するラインの各交点近傍に配列された複数の表示画素（図 11 中、後述する画素駆動回路 DCx 及び有機 EL 素子 OEL からなる構成）と、を備えた構成を有している。

#### 【0094】

表示画素は、例えば、走査ドライバ 120 から走査ライン SL を介して印加される走査信号 Vsel、及び、データドライバ 130A からデータライン DL を介して供給される書込電流（駆動電流）Ipix、電源ドライバ 140 から電源ライン VL を介して印加される電源電圧 Vsc に基づいて、各表示画素における書込電流 Ipix の書込動作及び発光動作を制御する画素駆動回路 DCx と、該画素駆動回路 DCx から供給される発光駆動電流の電流値に応じて発光輝度が制御される、周知の有機 EL 素子（発光素子）OEL と、を有して構成されている。なお、

本実施形態においては、電流駆動型の発光素子として有機EL素子OELを適用した場合について示すが、発光ダイオード等の他の発光素子を適用するものであってもよい。

#### 【0095】

ここで、画素駆動回路DC<sub>x</sub>は、概略、走査信号V<sub>sel</sub>に基づいて各表示画素の選択／非選択状態を制御し、選択状態において表示データに応じた書込電流I<sub>pix</sub>を取り込んで電圧レベルとして保持し、非選択状態において上記保持した電圧レベルに応じた発光駆動電流を有機EL素子OELに供給して、所定の輝度階調で発光させる動作を維持する機能を有している。なお、画素駆動回路DC<sub>x</sub>に適用可能な回路構成例については後述する。

#### 【0096】

##### (走査ドライバ)

走査ドライバ120Aは、システムコントローラ150から供給される走査制御信号に基づいて、所定のタイミングで各走査ラインSLに選択レベル（例えば、ハイレベル）の走査信号V<sub>sel</sub>を順次印加することにより、各行ごとの表示画素群を選択状態とし、データドライバ130Aにより表示データに基づく書込電流I<sub>pix</sub>を各データラインDLに供給して、各表示画素に所定の書込電流を書き込むように制御する。

#### 【0097】

走査ドライバ120Aは、具体的には、図11に示すように、シフトレジスタとバッファからなるシフトブロックSBを、各走査ラインSLごとに対応させて複数段備え、システムコントローラ150から供給される走査制御信号（走査スタート信号SSTR、走査クロック信号CLK等）に基づいて、シフトレジスタにより表示パネル110Aの上方から下方に順次シフトしつつ出力されたシフト信号が、バッファを介して所定の電圧レベル（選択レベル）を有する走査信号V<sub>sel</sub>として各走査ラインSLに印加される。

#### 【0098】

##### (データドライバ)

データドライバ130Aは、システムコントローラ150から供給されるデー

タ制御信号（サンプリングスタート信号STR、シフトクロック信号SFC等）に基づいて、表示信号生成回路160から供給される複数ビットのデジタル信号からなる表示データを取り込んで保持し、当該表示データに対応する電流値を有する書込電流 $I_{pix}$ を生成して、各データラインDLに同時並行的に供給するように制御する。すなわち、本実施形態に係るデータドライバ130Aにおいては、上述した本発明に係る電流生成供給回路（図1参照）を良好に適用することができる。データドライバ130Aの具体的な回路構成例やその駆動制御動作については後述する。

#### 【0099】

##### （電源ドライバ）

電源ドライバ140は、システムコントローラ150から供給される電源制御信号に基づいて、走査ドライバ120Aにより各行ごとの表示画素群が選択状態に設定されるタイミングに同期して、電源ラインVLに選択レベルの電源電圧 $V_{sc}$ （例えば、接地電位以下に設定されたローレベル）を印加することにより、例えば、電源ラインVLから表示画素（画素駆動回路DCx）を介してデータドライバ130A方向に、表示データに基づく所定の書込電流 $I_{pix}$ を引き込み、一方、走査ドライバ120により各行ごとの表示画素群が非選択状態に設定されるタイミングに同期して、電源ラインVLに非選択レベル（例えば、ハイレベル）の電源電圧 $V_{sc}$ を印加することにより、例えば、電源ラインVLから表示画素（画素駆動回路DCx）を介して有機EL素子OEL方向に、上記書込電流 $I_{pix}$ と同等の発光駆動電流を流すように制御する。

#### 【0100】

電源ドライバ140は、具体的には、図11に示すように、概略、上述した走査ドライバ120Aと同様に、シフトレジスタとバッファからなるシフトブロックSBを、各電源ラインVLごとに対応させて複数段備え、システムコントローラ150から供給され、上記走査制御信号に同期する電源制御信号（電源スタート信号VSTR、電源クロック信号VCLK等）に基づいて、シフトレジスタにより表示パネル110Aの上方から下方に順次シフトしつつ出力されたシフト信号が、バッファを介して所定の電圧レベル（例えば、走査ドライバ120による

選択状態においてはローレベル、非選択状態においてはハイレベル)を有する電源電圧 $V_{sc}$ として各電源ライン $V_L$ に印加される。

### 【0101】

(システムコントローラ)

システムコントローラ150は、後述する表示信号生成回路160から供給されるタイミング信号に基づいて、少なくとも、走査ドライバ120A及びデータドライバ130A、電源ドライバ140の各々に対して、走査制御信号及びデータ制御信号(上述した走査スタート信号 $STR$ や走査クロック信号 $CLK$ 、サンプリングスタート信号 $STR$ やシフトクロック信号 $FC$ 等)、電源制御信号(電源スタート信号 $VSTR$ 、電源クロック信号 $VCLK$ 等)を生成して出力することにより、各ドライバを所定のタイミングで動作させて、表示パネル110Aに走査信号 $V_{sel}$ 及び書込電流 $I_{pix}$ 、電源電圧 $V_{sc}$ を出力させ、画素駆動回路 $DC_x$ における所定の制御動作を連続的に実行させて、映像信号に基づく所定の画像情報を表示パネル110Aに表示させる制御を行う。

### 【0102】

(表示信号生成回路)

表示信号生成回路160は、例えば、表示装置100Aの外部から供給される映像信号から輝度階調信号成分を抽出し、表示パネル110Aの1行分ごとに、該輝度階調信号成分を、複数ビットのデジタル信号からなる表示データとしてデータドライバ130Aに供給する。ここで、上記映像信号が、テレビ放送信号(コンポジット映像信号)のように、画像情報の表示タイミングを規定するタイミング信号成分を含む場合には、表示信号生成回路160は、上記輝度階調信号成分を抽出する機能のほか、タイミング信号成分を抽出してシステムコントローラ150に供給する機能を有するものであってもよい。この場合においては、上記システムコントローラ150は、表示信号生成回路160から供給されるタイミング信号に基づいて、走査ドライバ120やデータドライバ130A、電源ドライバ140に対して供給する上記走査制御信号及びデータ制御信号、電源制御信号を生成する。

### 【0103】

なお、本実施形態においては、表示パネル 110A の周辺に付設されるドライバとして、図 10 及び図 11 に示したように、走査ドライバ 120A 及び電源ドライバ 140 を個別に配置した構成について説明したが、本発明はこれに限定されるものではない。例えば、上述したように、走査ドライバ 120A 及び電源ドライバ 140 は、タイミングが同期する同等の制御信号（走査制御信号及び電源制御信号）に基づいて動作するので、例えば、図 12 に示すように、走査ドライバ 120B に、走査信号  $V_{sel}$  の生成、出力タイミングに同期して電源電圧  $V_{sc}$  を供給する機能を有するように構成したものであってもよい。このような構成によれば、周辺回路の構成を簡素化、省スペース化することができる。

#### 【0104】

また、図 10 乃至図 12 に示した表示装置の構成は、表示パネルを構成する各表示画素に設けられる画素駆動回路が後述するように（図 13 参照）、走査信号  $V_{sel}$  とともに電源電圧  $V_{sc}$  の信号レベルを適宜設定制御することにより、所定の駆動制御動作を実現する回路構成を有する場合に対応したものであるが、本発明はこれに限定されるものではなく、後述するように（図 18 参照）、例えば、画素駆動回路が高電位電源に直接接続されて、定常的に一定の電圧レベルが印加される回路構成を有するものであってもよく、この場合、図 10 及び図 11 に示した表示装置において電源ドライバ 140 を有していない構成を適用することもできる。

#### 【0105】

##### （画素駆動回路の構成例）

次いで、上述した表示装置（表示パネル）の各表示画素に適用される画素駆動回路について簡単に説明する。

図 13 は、本実施形態に係る表示装置に適用可能な画素駆動回路の一実施例を示す回路構成図である。なお、ここで示す画素駆動回路は、本発明に係る表示装置に適用可能なごく一例を示すにすぎず、同等の動作機能を有する他の回路構成を有するものであってもよいことはいうまでもない。

#### 【0106】

図 13 に示すように、本実施例に係る画素駆動回路  $DC_x$  は、例えば、相互に

直交するように配設された走査ラインSLとデータラインDLとの交点近傍に、ゲート端子が走査ラインSLに、ソース端子が走査ラインSLに平行に配設された電源ラインVLに、ドレイン端子が接点Nxaに各々接続されたnチャネル型トランジスタTr81と、ゲート端子が走査ラインSLに、ソース端子及びドレイン端子がデータラインDL及び接点Nxbに各々接続されたnチャネル型トランジスタTr82と、ゲート端子が接点Nxaに、ソース端子及びドレイン端子が電源ラインVL及び接点Nxbに各々接続されたnチャネル型トランジスタTr83と、接点Nxa及び接点Nxb間に接続されたコンデンサCxと、を備えた構成を有している。

#### 【0107】

また、このような画素駆動回路DCxから供給される発光駆動電流により発光輝度が制御される有機EL素子OELは、アノード端子が上記画素駆動回路DCxの接点Nxbに、また、カソード端子が接地電位Vgndに各々接続された構成を有している。ここで、コンデンサCxは、nチャネル型トランジスタTr83のゲートーソース間に形成される寄生容量であってもよいし、その寄生容量に加えてゲートーソース間にさらに、容量素子を別個に付加するようにしたものであってもよい。

#### 【0108】

このような構成を有する画素駆動回路DCxにおける有機EL素子OELの駆動制御動作は、まず、書込動作期間において、走査ラインSLに対して、ハイレベル（選択レベル）の走査信号Vselを印加するとともに、電源ラインVLに対して、ローレベルの電源電圧Vscを印加する。また、このタイミングに同期して、有機EL素子OELを所定の輝度階調で発光動作させるために必要な所定の書込電流Ipix（上述した負荷駆動電流IDに相当する）をデータラインDLに供給する。ここでは、書込電流Ipixとして、負極性の電流を供給し、画素駆動回路DCx側からデータラインDLを介してデータドライバ130A方向に当該電流を引き込むように設定する。

#### 【0109】

これにより、画素駆動回路DCxを構成するnチャネル型トランジスタTr8



1 及び  $T_{r82}$  がオン動作して、ローレベルの電源電圧  $V_{sc}$  が接点  $N_{xa}$  (すなわち、 $n$  チャネル型トランジスタ  $T_{r83}$  のゲート端子及びコンデンサ  $C_x$  の一端側) に印加されるとともに、書込電流  $I_{pix}$  の引き込み動作により  $n$  チャネル型トランジスタ  $T_{r82}$  を介してローレベルの電源電圧  $V_{sc}$  よりも低電位の電圧レベルが接点  $N_{xb}$  (すなわち、 $n$  チャネル型トランジスタ  $T_{r83}$  のソース端子及びコンデンサ  $C_x$  の他端側) に印加される。

#### 【0110】

このように、接点  $N_{xa}$  及び  $N_{xb}$  間 ( $n$  チャネル型トランジスタ  $T_{r83}$  のゲート-ソース間) に電位差が生じることにより、 $n$  チャネル型トランジスタ  $T_{r83}$  がオン動作して、電源ライン  $V_L$  から  $n$  チャネル型トランジスタ  $T_{r83}$ 、接点  $N_{xb}$ 、薄膜トランジスタ  $T_{r82}$  を介して、データライン  $D_L$  方向に書込電流  $I_{pix}$  に対応した書込動作電流が流れる (後述する図 12 参照)。

このとき、コンデンサ  $C_x$  には、接点  $N_{xa}$  及び  $N_{xb}$  間に生じた電位差に対応する電荷が蓄積され、電圧成分として保持される (充電される)。また、このとき、有機 EL 素子 OEL のアノード端子 (接点  $N_{xb}$ ) に印加される電位は、カソード端子の電位 (接地電位) よりも低くなり、有機 EL 素子 OEL に逆バイアス電圧が印加されることになるため、有機 EL 素子 OEL には発光駆動電流が流れず、発光動作は行われない。

#### 【0111】

次いで、発光動作期間においては、走査ライン  $S_L$  に対して、ローレベル (非選択レベル) の走査信号  $V_{sel}$  を印加するとともに、電源ライン  $V_L$  に対して、ハイレベルの電源電圧  $V_{sc}$  を印加する。また、このタイミングに同期して、書込電流  $I_{pix}$  (すなわち、書込制御電流) の引き込み動作を停止する。

これにより、 $n$  チャネル型トランジスタ  $T_{r81}$  及び  $T_{r82}$  がオフ動作して、接点  $N_{xa}$  への電源電圧  $V_{sc}$  の印加が遮断されるとともに、接点  $N_{xb}$  への書込電流  $I_{pix}$  の引き込み動作に起因する電圧レベルの印加が遮断されるので、コンデンサ  $C_x$  は、上述した書込動作において蓄積された電荷を保持する。

#### 【0112】

このように、コンデンサ  $C_x$  が書込動作時の充電電圧を保持することにより、

接点Nxa及びNxb間（nチャネル型トランジスタのTr83のゲートソース間）の電位差が保持されることになり、nチャネル型トランジスタTr83はオン状態を維持する。また、電源ラインVLには、接地電位よりも高い電圧レベルを有する電源電圧Vscが印加されるので、有機EL素子OELのアノード端子（接点Nxb）に印加される電位は、カソード端子の電位（接地電位）よりも高くなる。

### 【0113】

したがって、電源ラインVLからnチャネル型トランジスタTr83、接点Nxbを介して、有機EL素子OELに順バイアス方向に発光駆動電流が流れ、有機EL素子OELが所定の輝度階調で発光する。ここで、コンデンサCx1により保持される電位差（充電電圧）は、上記書込動作時においてnチャネル型トランジスタTr83に書込動作電流を流す際の電位差に相当するので、有機EL素子OELに流れる発光駆動電流は、上記書込動作電流と同等の電流値を有することになる。これにより、発光動作期間においては、書込動作期間に書き込まれた所定の発光状態（輝度階調）に対応する電圧成分に基づいて、発光駆動電流が継続的に供給されることになり、有機EL素子OELは所望の輝度階調で発光する動作を継続する（後述する図12参照）。このように、本実施例に係る画素駆動回路においては、nチャネル型トランジスタTr83は、発光駆動用トランジスタとしての機能を有していることになる。

### 【0114】

（データドライバの構成例）

次いで、上述した表示装置に適用されるデータドライバの構成について説明する。

本実施形態に係る表示装置に適用されるデータドライバは、概略、図1に示した電流生成供給回路を基本構成とする書込電流生成回路が、各データラインに2組設けられ、所定の動作タイミングで各組の書込電流生成回路が、相補的かつ連続的に表示データの取り込み、保持、書込電流の生成、供給（引き込み）動作を実行するように構成されている。ここで、本構成例においては、書込電流生成回路群に対して、単一の電流発生源から一定の電流値を有する正の基準電流が供給

される。

#### 【0115】

図14は、本実施形態に係る表示装置に適用されるデータドライバの一実施例を示す概略構成図である。図15は、本実施例に係るデータドライバに適用される書込電流生成回路の一具体例を示す構成図であり、図16は、本実施例に係るデータドライバに適用される反転ラッチ回路及び選択設定回路の一具体例を示す回路構成図である。ここでは、上述した電流生成供給回路の構成と対応付けながら説明する。

#### 【0116】

具体的には、本実施例に係るデータドライバ130Aは、例えば、図10に示すように、システムコントローラ150からデータ制御信号として供給されるシフトクロック信号SFCに基づいて、非反転クロック信号CK1及び反転クロック信号CK2を生成する反転ラッチ回路131と、非反転クロック信号CK1及び反転クロック信号CK2に基づいて、サンプリングスタート信号STRをシフトしつつ、所定のタイミングでシフト信号SR1、SR2、・・・（上述したタイミング制御信号CLKに相当する）を順次出力するシフトレジスタ回路132と、該シフトレジスタ回路132からのシフト信号SR1、SR2、・・・の入力タイミングに基づいて、表示信号生成回路160から順次供給される1行分の表示データD0～Dk（ここでは、便宜的にk=3とする；上述したデジタル信号d0～d3に相当する）を順次取り込み、各表示画素における発光輝度に対応した書込電流I<sub>pix</sub>を生成して、各データラインDL1、DL2、・・・を介して供給する（引き込む）2組の書込電流生成回路群133A及び133Bと、システムコントローラ150からデータ制御信号として供給される切換制御信号SELに基づいて、上記書込電流生成回路群133A及び133Bのいずれか一方を選択的に動作させるための選択設定信号（切換制御信号SELの非反転信号SLa及び反転信号SLb）を出力する選択設定回路134と、を備えて構成されている。

ここで、2組の書込電流生成回路群132A及び133Bには、少なくとも、表示信号生成回路160から供給される表示データD0～Dk、及び、電流発生

源 I R (上述した電流発生源 I R Aに相当する) から定常的に供給される一定の電流値を有する基準電流 I refが共通に入力されるように構成されている。

#### 【0117】

2組の書込電流生成回路群 132A及び133Bは、各々複数の書込電流生成回路 I L A 1、I L A 2、・・・及び I L B 1、I L B 2、・・・を備えた構成を有し、各書込電流生成回路 I L A 1、I L A 2、・・・及び I L B 1、I L B 2、・・・(図1に示した電流生成供給回路 I S Aに相当する; 以下、「書込電流生成回路 I S x」と総称する) は、図15に示すように、上述した電流生成供給回路(図1参照)に示した構成と同等の信号ラッチ部 10x及び電流生成部 20x、特定状態設定部 30xに加え、切換制御信号 S E Lに基づいて、各書込電流生成回路 I S xの動作状態を選択的に設定する動作設定回路 40xを備えた構成を有している。ここで、信号ラッチ部 10x及び電流生成部 20x、特定状態設定部 30xは、各々図1乃至図5に示した信号ラッチ部 10、電流生成部 20A、特定状態設定部 30Aに相当するので、その具体的な説明を省略する。

#### 【0118】

動作設定回路 40xは、例えば、図15に示すように、データライン D L (上述した電流供給線 C L に相当する) に電流路が設けられ、制御端子に選択設定回路 134からの選択設定信号(非反転信号 S L a又は反転信号 S L b)が印加される nチャネル型トランジスタ T N 41と、選択設定信号を反転処理するインバータ 42と、該インバータ 42の反転出力及びシフトレジスタ回路 132からのシフト信号 S R (S R 1、S R 2、・・・)を入力とする N A N D 回路 43と、該 N A N D 回路 43の論理出力を反転処理するインバータ 44と、該インバータ 44の反転出力をさらに反転処理するインバータ 45と、を備えた構成を有している。

#### 【0119】

このような構成を有する書込電流生成回路 I S xにおいては、選択設定回路 134からハイレベルの選択設定信号(書込電流生成回路を選択状態に設定する制御信号)が入力されると、動作設定回路 40xに設けられた nチャネル型トランジスタ T N 41がオン動作して、電流生成部 20xの電流出力接点 O U T i が、

nチャンネル型トランジスタTN41を介してデータラインDLに接続される。このとき同時に、インバータ42及びNAND回路43、インバータ44、45により、シフト信号SRの出力タイミングに関わらず信号ラッチ部10xの入力接点CKにはローレベルのタイミング制御信号が、また、入力接点CK\*にはハイレベルのタイミング制御信号が定常的に入力されて、表示データD0～D3が取り込まれ、電流生成部20xにより表示データD0～D3に応じた書込電流Ipixが生成される。

#### 【0120】

また、表示データD0～D3を全て“0”に設定して、表示画素を特定の状態で発光動作（例えば、黒表示動作）させる場合には、電流生成部20xにおける書込電流Ipixの出力が遮断されるとともに、特定状態設定部30xにより電流生成部20xの電流出力接点OUTi（特定状態設定部の接続接点）に黒表示動作に対応した特定電圧（黒表示電圧）Vbkが印加される。

これにより、黒表示状態を除く通常の階調表示動作においては、表示データD0～D3に基づいて生成された書込電流IpixがデータラインDLを介して表示画素に供給され、黒表示動作においては、上記書込電流Ipixの供給を遮断しつつ、データラインDLに所定の黒表示電圧Vbkが印加される。

#### 【0121】

一方、選択設定回路134からローレベルの選択設定信号（書込電流生成回路を非選択状態に設定する制御信号）が入力されると、nチャンネル型トランジスタTN41がオフ動作して、電流生成部20xの電流出力接点OUTiがデータラインDLから切り離される。また、このとき同時に、インバータ42及びNAND回路43、インバータ44、45により、シフト信号SRの出力タイミングに対応して信号ラッチ部10xの入力接点CK及び入力接点CK\*に、相補的な信号レベルを有するタイミング制御信号が入力されて、表示データD0～D3の取り込み、保持、書込電流Ipixの生成動作が実行される。

#### 【0122】

これにより、表示データD0～D3に基づいて書込電流Ipixが生成されるものの、データラインDLには供給されない状態となり、実質的に、書込電流生成

回路が非選択状態に設定される。すなわち、後述する選択設定回路 134 により、2 組の書込電流生成回路群 133A 及び 133B に入力する選択設定信号（切換制御信号 SEL の非反転信号 SL a 及び反転信号 SL b）の信号レベルを適宜設定することにより、2 組の書込電流生成回路群 133A 及び 133B のいずれか一方を選択状態とし、他方を非選択状態に設定することができる。

#### 【0123】

また、反転ラッチ回路 131 及び選択設定回路 134 は、概略、同等の回路構成を有し、例えば、図 16 (a)、(b) に示すように、周知のインバータ回路（例えば、図 2 に示したような相補型トランジスタ回路）を複数備えた構成を適用することができる。

具体的には、反転ラッチ回路 131 及び選択設定回路 134 は、インバータ INV1 の入力接点（反転ラッチ回路 131 又は選択設定回路 134 の入力端子）IN s には、シフトクロック信号 SFC 又は切換制御信号信号 SEL が入力され、インバータ INV1 の出力接点はインバータ INV2 の入力接点に接続されている。インバータ INV2 の出力接点はインバータ INV4 の入力接点に接続されている。また、インバータ INV3 の入力端子には、上記シフトクロック信号 SFC 又は切換制御信号 SEL が入力され、その出力接点はインバータ INV5 の入力接点に接続されている。また、インバータ INV4 の出力接点はインバータ INV5 及びインバータ INV6 の入力接点に接続されているとともに、インバータ INV5 の出力接点はインバータ INV4 及びインバータ INV7 の入力接点に接続されている。そして、インバータ INV6 の出力接点は反転ラッチ回路 131 又は選択設定回路 134 の非反転出力端子 OUT s に接続され、インバータ INV7 の出力接点は反転ラッチ回路 131 又は選択設定回路 134 の反転出力端子 OUT s \* に接続されている。

#### 【0124】

このような構成を有する反転ラッチ回路 131 及び選択設定回路 134 においては、シフトクロック信号 SFC 又は切換制御信号 SEL が印加されると、当該信号レベルがインバータ INV4 及び INV5 により保持されて、該信号レベルの非反転信号及び反転信号が、各々非反転出力端子 OUT s 及び反転出力端子 O

UTs\*から出力され、シフトレジスタ回路に対して非反転クロック信号CK1及び反転クロック信号CK2として、また、書込電流生成回路群133A（各書込電流生成回路ILA1、ILA2、・・・）及び書込電流生成回路群133B（各書込電流生成回路ILB1、ILB2、・・・）に対して非反転信号SLa及び反転信号SLbとして供給される。

### 【0125】

（表示装置の駆動制御方法）

次に、上述した構成を有する表示装置の動作について、図面を参照して説明する。

図17は、本実施形態に係るデータドライバにおける制御動作の一例を示すタイミングチャートであり、図18は、本実施形態に係る表示パネル（表示画素）における制御動作の一例を示すタイミングチャートである。ここでは、図14及び図15に示したデータドライバの構成に加え、図1乃至図3に示した電流生成供給回路の構成も適宜参照しながら説明する。

### 【0126】

まず、データドライバ130Aにおける制御動作は、上述した書込電流生成回路群を構成する各書込電流生成回路IS<sub>x</sub>に設けられた信号ラッチ部10<sub>x</sub>に、表示信号生成回路160から供給される表示データD0～D3を取り込み、一定期間保持する信号保持動作と、該信号保持動作により取り込まれた表示データD0～D3の保持信号D10～D13に基づいて、書込電流生成回路IS<sub>x</sub>に設けられた電流生成部20<sub>x</sub>により、上記表示データD0～D3に対応する書込電流I<sub>pix</sub>を生成して各データラインDL1、DL2、・・・を介して各表示画素に供給する電流生成供給動作と、を順次実行するとともに、該一連の動作を、選択設定回路134により2組の書込電流生成回路群のうち、一方の書込電流生成回路群により上記電流生成供給動作を行いつつ、他方の書込電流生成回路群により上記信号保持動作を同時並行的に行う動作を、交互に繰り返し実行することにより実現される。

特に、本実施形態に係るデータドライバにおいては、上記信号保持動作及び電流生成供給動作に加え、例えば、表示パネルを構成する前表示画素を最低輝度階

調で一斉に発光動作させる黒表示動作を実行する場合等に、全データラインDL 1、DL 2、・・・への書込電流  $I_{pix}$  の供給を遮断するとともに、特定の黒表示電圧  $V_{bk}$  を全データラインDL 1、DL 2、・・・に印加するように制御される。

#### 【0127】

信号保持動作においては、図17に示すように、まず、選択設定回路134により一方の書込電流生成回路群が選択状態に設定された後、シフトレジスタ回路132から順次出力されるシフト信号SR 1、SR 2、・・・に基づいて、該書込電流生成回路群の各書込電流生成回路  $IS_x$  に設けられた信号ラッチ部10xにより、各列の表示画素（すなわち、各データラインDL 1、DL 2、・・・）に対応して切り替わる表示データD 0～D 3を順次取り込む動作が1行分連続的に実行され、該表示データD 0～D 3が取り込まれた書込電流生成回路  $IS_x$  の信号ラッチ部10xから順に、一定期間（次の切換制御信号SELに基づいて選択設定回路134により、一方の書込電流生成回路群が非選択状態に、また、他方の書込電流生成回路群が選択状態に設定されるまでの期間）、信号ラッチ部10xからの出力信号である保持信号D 10～D 13が電流生成部20xに出力される。

#### 【0128】

また、電流生成供給動作においては、図17に示すように、上記保持信号D 10～D 13に基づいて、電流生成部20xに設けられた複数のスイッチトランジスタ（図3に示したトランジスタTr 26～Tr 29）のオン/オフ状態が制御され、オン動作したスイッチトランジスタに接続された階調電流トランジスタ（図3に示したトランジスタTr 22～Tr 25）に流れる階調電流の合成電流が、書込電流  $I_{pix}$  として各データラインDL 1、DL 2・・・を介して順次供給される。

#### 【0129】

ここで、書込電流  $I_{pix}$  は、例えば、全てのデータラインDL 1、DL 2、・・・に対して、少なくとも一定期間、並列的（すなわち、同時並行的）に供給されるように設定される。また、本実施形態においては、上述したように、単一の



基準電流  $I_{ref}$  に対して予めトランジスタサイズにより規定された所定比率（例えば、 $a \times 2^n$ ； $n=0, 1, 2, 3, \dots$ ）の電流値を有する複数の階調電流を生成し、上記保持信号に基づくスイッチトランジスタのオン／オフ動作により、所定の階調電流を選択して合成し、負極性の書込電流  $I_{pix}$  を生成して、データライン  $DL1, DL2, \dots$  側からデータドライバ  $130A$  方向に引き込むように書込電流  $I_{pix}$  を流す。

#### 【0130】

さらに、黒表示動作においては、図 17 に示すように、表示データ  $D0 \sim D3$  が黒表示状態（保持信号  $D10 \sim D13$  が全て“0”）に設定されることにより、電流生成部  $20x$  に設けられたいずれのスイッチトランジスタ（図 3 に示したトランジスタ  $Tr26 \sim Tr29$ ）もオフ動作して階調電流が遮断され、書込電流  $I_{pix}$  の供給が停止される。このとき同時に、特定状態設定部  $30x$  に設けられた NOR 回路 31 より表示データの黒表示状態（保持信号  $D10 \sim D13$  が全て“0”となる状態）が判別され、特定電圧印加トランジスタ  $TN32$  がオン動作して黒表示（最低輝度階調での発光動作）に対応した電圧  $V_{bk}$  が各データライン  $DL1, DL2, \dots$  に順次印加される。

#### 【0131】

また、表示パネル  $110A$ （表示画素）における制御動作は、図 18 に示すように、表示パネル  $110A$  一画面に所望の画像情報を表示する一走査期間  $T_{sc}$  を 1 サイクルとして、該一走査期間  $T_{sc}$  内に、特定の走査ラインに接続された表示画素群を選択して、データドライバ  $130A$  から供給される表示データ  $D0 \sim D3$  に対応する書込電流  $I_{pix}$  を書き込み、信号電圧として保持する書込動作期間  $T_{se}$  と、該保持された信号電圧に基づいて、上記表示データに応じた発光駆動電流を有機 EL 素子 OEL に供給して、所定の輝度階調で発光動作させる発光動作期間  $T_{nse}$  と、を設定（ $T_{sc} = T_{se} + T_{nse}$ ）し、各動作期間において、上述した画素駆動回路  $DCx$  と同等の駆動制御を実行する。ここで、各行ごとに設定される書込動作期間  $T_{se}$  は、相互に時間的な重なりが生じないように設定される。また、書込動作期間  $T_{se}$  は、少なくとも、上記データドライバ  $130A$  における電流生成供給動作において、各データライン  $DL1, DL2, \dots$  へ書込電流  $I$

pixを並列的に供給する一定期間を含む期間に設定される。

#### 【0132】

すなわち、表示画素への書込動作期間  $T_{se}$  においては、図 18 に示すように、特定の行 ( $i$  行目) の表示画素に対して、走査ドライバ 120 及び電源ドライバ 140 により走査ライン  $SL$  及び電源ライン  $VL$  を所定の信号レベルに走査することにより、データドライバ 130A により各データライン  $DL1$ 、 $DL2$ 、 $\cdot$   
 $\cdot$  に並列的に供給された書込電流  $I_{pix}$  を電圧成分として一斉に保持する動作を実行し、その後の発光動作期間  $T_{nse}$  においては、上記書込動作期間  $T_{se}$  に保持された電圧成分に基づく発光駆動電流を有機 EL 素子 OEL に継続的に供給することにより、表示データに対応する輝度階調で発光動作が継続される。

#### 【0133】

このような一連の駆動制御動作を、図 18 に示すように、表示パネル 110A を構成する全ての行の表示画素群について順次繰り返し実行することにより、表示パネル 1 画面分の表示データが書き込まれて、各表示画素が所定の輝度階調で発光し、所望の画像情報が表示される。ここで、本実施形態においては、各行の表示画素群への書込動作に同期して、データドライバ 130A に設けられた 2 組の書込電流生成回路群が交互に選択状態に設定され、例えば、奇数行目の表示画素群に対しては、一方の書込電流生成回路群 133A から書込電流  $I_{pix}$  が供給され、偶数行目の表示画素群に対しては、他方の書込電流生成回路群 133B から書込電流  $I_{pix}$  が供給されるように制御される。

#### 【0134】

したがって、本実施形態に係るデータドライバ 130A 及び表示装置 100A において、通常の階調表示動作時には、各データライン  $DL1$ 、 $DL2$ 、 $\cdot$   
 $\cdot$  に対応して設けられた各書込電流生成回路  $IS_x$  により、表示データ  $D0 \sim D3$  に応じた階調電流が生成されて合成され、適切な電流値を有する書込電流  $I_{pix}$  として各表示画素に供給され、一方、黒表示動作時には、各書込電流生成回路  $IS_x$  による書込電流  $I_{pix}$  の供給が遮断されるとともに、表示画素における最低輝度階調での発光動作に対応した所定の黒表示電圧が各データライン  $DL1$ 、 $DL2$ 、 $\cdot$   
 $\cdot$  に印加されるので、良好な階調表示を実現しつつ、黒表示動作時に

においても、各データラインDL1、DL2、・・・の信号レベルを特定の電圧に安定化させて迅速に黒表示状態に移行することができ、表示装置における表示応答特性並びに表示画質の向上を図ることができる。

#### 【0135】

また、データドライバ130A（書込電流生成回路IS<sub>x</sub>）において、カレントミラー回路構成を適用するとともに、該カレントミラー回路を構成する複数の階調電流トランジスタのチャネル幅を、基準電流トランジスタに対して、各々所定の比率（例えば、2<sup>n</sup>倍）になるように設定することにより、単一の電流発生源から供給される単一の基準電流に対して、上記比率により規定される電流値を有する複数の階調電流を流すことができ、表示データ（複数ビットのデジタル信号）D0～D3により、これらを適宜合成することにより、2<sup>n</sup>段階の電流値を有する書込電流I<sub>pix</sub>を生成することができるので、表示データに対応した適切な電流値を有するアナログ電流からなる書込電流を、比較的簡易な回路構成により生成することができ、表示画素を適正な輝度階調で発光動作させることができる。

#### 【0136】

なお、本実施形態においては、表示パネルに配設された各データラインに対して、2組の書込電流生成回路を備えたデータドライバを適用した場合について説明したが、本発明はこれに限定されるものではなく、例えば、各データラインに対して単一の書込電流生成回路を備え、時系列的に表示データの取り込み、保持、書込電流の生成、供給動作を実行するデータドライバを適用するものであってもよい。

#### 【0137】

また、本実施形態においては、データドライバ及び表示画素（画素駆動回路）として、電流シンク方式に対応した構成を示したが、本発明はこれに限定されるものではなく、図6及び図7に示したように、データドライバから表示画素方向に書込電流を流し込むように供給する電流印加方式の回路構成を適用することもできる。以下、上述した表示装置（表示パネル）の他の例として、電流印加方式を適用した場合について説明する。

## 【0138】

電流印加方式を適用した表示装置は、概略、上述した第1の実施形態（図10乃至図12）と同様の表示パネル、走査ドライバ、データドライバ、システムコントローラ及び表示信号生成回路を備えた構成を有しているが、表示パネルを構成する各表示画素（画素駆動回路）及びデータドライバが以下に示すように異なる構成を有している。

## （画素駆動回路）

図19は、本実施形態に適用される画素駆動回路の一実施例を示す回路構成図である。なお、ここで示す画素駆動回路は、本発明に係る表示装置に適用可能なごく一例を示すにすぎず、同等の動作機能を有する他の回路構成を有するものであってもよいことはいうまでもない。

## 【0139】

図19に示すように、本実施例に係る画素駆動回路DCyは、走査ラインSLとデータラインDLとの交点近傍に、ゲート端子が走査ラインSLに、ソース端子が走査ラインSLに、ソース端子及びドレイン端子が電源接点+V及び接点Nyaに各々接続されたpチャネル型トランジスタTr91と、ゲート端子が走査ラインSLに、ソース端子及びドレイン端子がデータラインDL及び接点Nyaに各々接続されたnチャネル型トランジスタTr92と、ゲート端子が接点Nybに、ソース端子及びドレイン端子が接点Nya及び接点Nycに各々接続されたpチャネル型トランジスタTr93と、ゲート端子が走査ラインSLに、ソース端子及びドレイン端子が接点Nyb及び接点Nycに各々接続されたnチャネル型トランジスタTr94と、接点Nya及び接点Nyb間に接続されたコンデンサCyと、を備えた構成を有している。ここで、電源接点+Vは、図示を省略した電源ラインを介して、上述した実施形態に示した電源ドライバ、もしくは、直接高電位電源に接続され、一定の高電位電圧が印加される。

## 【0140】

また、このような画素駆動回路DCyから供給される発光駆動電流により発光輝度が制御される有機EL素子OELは、アノード端子が上記画素駆動回路DCyの接点Nycに、また、カソード端子が接地電位Vgndに各々接続された構成を

有している。ここで、コンデンサ  $C_y$  は、pチャネル型トランジスタ  $Tr93$  のゲートソース間に形成される寄生容量であってもよいし、その寄生容量に加えてゲートソース間にさらに、容量素子を別個に付加するようにしたものであってもよい。

#### 【0141】

このような構成を有する画素駆動回路  $DC_y$  における有機EL素子OELの駆動制御動作は、まず、書込動作期間において、走査ライン  $SL$  に対して、例えば、ハイレベル（選択レベル）の走査信号  $V_{sel}$  を印加するとともに、このタイミングに同期して、有機EL素子OELを所定の輝度階調で発光動作させるための書込電流  $I_{pix}$  をデータライン  $DL$  に供給する。ここでは、書込電流  $I_{pix}$  として、正極性の電流を供給し、データドライバ130B側からデータライン  $DL$  を介して画素駆動回路  $DC_y$  方向に当該電流が流し込まれる（印加する）ように設定する。

#### 【0142】

これにより、画素駆動回路  $DC_y$  を構成するnチャネル型トランジスタ  $Tr92$  及び  $Tr94$  がオン動作するとともに、pチャネル型トランジスタ  $Tr91$  がオフ動作して、データライン  $DL$  に供給された書込電流  $I_{pix}$  に対応する正の電位が接点  $N_{ya}$  に印加される。また、接点  $N_{yb}$  及び接点  $N_{yc}$  間が短絡して同電位となり、pチャネル型トランジスタ  $Tr93$  のゲートソース間、及び、ソースードレイン間が同電位に制御される。これにより、コンデンサ  $C_y$ （接点  $N_{ya}$  及び接点  $N_{yb}$  間）には、書込電流に応じた電位差が生じ、該電位差に対応する電荷が蓄積され、電圧成分として保持される（充電される）。

#### 【0143】

次いで、発光動作期間において、走査ライン  $SL$  に対して、ローレベル（非選択レベル）の走査信号  $V_{sel}$  を印加するとともに、このタイミングに同期して、書込電流  $I_{pix}$  の供給を遮断する。これにより、nチャネル型トランジスタ  $Tr92$  及び  $Tr94$  がオフ動作してデータライン  $DL$  及び接点  $N_{ya}$  間、並びに、接点  $N_{yb}$  及び接点  $N_{yc}$  間が電氣的に遮断されることにより、コンデンサ  $C_y$  は、上述した書込動作において蓄積された電荷を保持する。

## 【0144】

このように、コンデンサ  $C_y$  が書込動作時の充電電圧を保持することにより、接点  $N_{yb}$  及び接点  $N_{yc}$  間（ $p$  チャネル型トランジスタの  $T_{r93}$  のゲートソース間）の電位差が保持されることになり、 $p$  チャネル型トランジスタ  $T_{r93}$  はオン動作する。また、上記走査信号  $V_{sel}$ （ローレベル）の印加により、 $p$  チャネル型トランジスタ  $T_{r91}$  が同時にオン動作するので、電源接点  $+V$ （高電位電源）から  $p$  チャネル型トランジスタ  $T_{r91}$  及び  $T_{r93}$  を介して、有機 EL 素子 OEL に書込電流  $I_{pix}$  に応じた発光駆動電流が流れ、有機 EL 素子 OEL が所定の輝度階調で発光する。このように、本実施例に係る画素駆動回路においては、 $p$  チャネル型トランジスタ  $T_{r93}$  は、発光駆動用トランジスタとしての機能を有していることになる。

## 【0145】

（データドライバ）

次いで、本実施形態に適用されるデータドライバの構成について説明する。

本実施形態に係る表示装置に適用されるデータドライバは、概略、図 6 に示した電流生成供給回路を基本構成とする書込電流生成回路が、各データラインに 2 組設けられ、所定の動作タイミングで各組の書込電流生成回路が、相補的かつ連続的に表示データの取り込み、保持、書込電流の生成、供給（流し込む；印加する）動作を実行するように構成されている。ここで、本構成例においては、書込電流生成回路群に対して、単一の電流発生源から一定の電流値を有する負の基準電流が供給される。

## 【0146】

図 20 は、本実施形態に係る表示装置に適用されるデータドライバの一実施例を示す概略構成図であり、図 21 は、本実施例に係るデータドライバに適用される書込電流生成回路の一具体例を示す構成図である。ここでは、上述した電流生成供給回路の構成と対応付けながら説明する。また、上述した第 1 の実施形態と同等の構成については、その説明を簡略化又は省略する。

## 【0147】

具体的には、本実施例に係るデータドライバ 130B は、例えば、図 20 に示

すように、上述した第1の実施形態と同等の構成を有する反転ラッチ回路131と、シフトレジスタ回路132と、該シフトレジスタ回路132からのシフト信号SR1、SR2、・・・の入力タイミングに基づいて、1行分の表示データD0～D3を順次取り込み、所定の書込電流I<sub>pix</sub>を生成して、各データラインDL1、DL2、・・・を介して供給する（流し込む；印加する）書込電流生成回路群133C及び133Dと、切換制御信号SELに基づいて、上記書込電流生成回路群133C及び133Dのいずれか一方を選択的に動作させる選択設定回路134と、を備えて構成されている。

ここで、2組の書込電流生成回路群132C及び133Dには、少なくとも、表示データD0～D3が共通に入力されるとともに、電流発生源IRにより定常的に一定の電流値を有する基準電流I<sub>ref</sub>が共通に引き抜かれるように構成されている。

#### 【0148】

2組の書込電流生成回路群132C及び133Dは、各々複数の書込電流生成回路ILC1、ILC2、・・・及びILD1、ILD2、・・・を備えた構成を有し、各書込電流生成回路ILC1、ILC2、・・・及びILD1、ILD2、・・・（図6に示した電流生成供給回路ISBに相当する；以下、「書込電流生成回路IS<sub>y</sub>」と総称する）は、図21に示すように、上述した電流生成供給回路（図6参照）に示した構成と同等の信号ラッチ部10<sub>y</sub>及び電流生成部20<sub>y</sub>、特定状態設定部30<sub>y</sub>に加え、切換制御信号SELに基づいて、各書込電流生成回路IS<sub>y</sub>の動作状態を選択的に設定する動作設定回路40<sub>y</sub>を備えた構成を有している。ここで、信号ラッチ部10<sub>y</sub>及び電流生成部20<sub>y</sub>、特定状態設定部30<sub>y</sub>は、各々図6乃至図9に示した信号ラッチ部10、電流生成部20B、特定状態設定部30Bに相当するので、その具体的な説明を省略する。

#### 【0149】

動作設定回路40<sub>y</sub>は、例えば、図21に示すように、データラインDLに電流路が設けられ、制御端子に選択設定回路134からの選択設定信号（非反転信号SL<sub>a</sub>又は反転信号SL<sub>b</sub>）の反転信号が印加されるnチャネル型トランジスタTP101と、上記選択設定信号を反転処理するインバータ102と、該イン

バータ 102 の反転出力及びシフトレジスタ回路 132 からのシフト信号 SR を入力とする NAND 回路 103 と、該 NAND 回路 103 の論理出力を反転処理するインバータ 104 と、該インバータ 104 の反転出力をさらに反転処理するインバータ 105 と、を備えた構成を有している。

#### 【0150】

このような構成を有する書込電流生成回路  $I_{Ly}$  においては、選択設定回路 134 からハイレベルの選択設定信号が入力されると、動作設定回路 40y に設けられた p チャネル型トランジスタ TP101 がオン動作して、電流生成部 20y の電流出力接点 OUTi が、p チャネル型トランジスタ TP101 を介してデータライン DL に接続される。このとき同時に、インバータ 102 及び NAND 回路 103、インバータ 104、105 により、シフト信号 SR の出力タイミングに関わらず信号ラッチ部 10y の入力接点 CK にはローレベルのタイミング制御信号が、また、入力接点 CK\* にはハイレベルのタイミング制御信号が定常的に入力されて、表示データ D0～D3 が取り込まれ、電流生成部 20y により表示データ D0～D3 に応じた書込電流  $I_{pix}$  が生成される。

#### 【0151】

また、表示データ D0～D3 を全て “0” に設定して、表示画素を黒表示動作させる場合には、電流生成部 20y における書込電流  $I_{pix}$  の出力が遮断されるとともに、特定状態設定部 30y により電流生成部 20y の電流出力接点 OUTi に黒表示動作に対応した特定電圧（黒表示電圧） $V_{bk}$  が印加される。

これにより、黒表示状態を除く通常の階調表示動作においては、表示データ D0～D3 に基づいて生成された書込電流  $I_{pix}$  がデータライン DL を介して表示画素に供給され、黒表示動作においては、上記書込電流  $I_{pix}$  の供給を遮断しつつ、データライン DL に所定の黒表示電圧  $V_{bk}$  が印加される（書込電流生成回路の選択状態）。

#### 【0152】

一方、選択設定回路 134 からローレベルの選択設定信号が入力されると、p チャネル型トランジスタ TP101 がオフ動作して、電流生成部 20y の電流出力接点 OUTi がデータライン DL から切り離される。また、このとき同時に、



インバータ 102 及び NAND 回路 103、インバータ 104、105 により、シフト信号 SR の出力タイミングに対応して信号ラッチ部 10y の入力接点 CK 及び入力接点 CK\* に、相補的な信号レベルを有するタイミング制御信号が入力されて、表示データ D0～D3 の取り込み、保持、書込電流  $I_{pix}$  の生成動作が実行される。

これにより、上述した実施形態と同様に、表示データ D0～D3 に基づいて書込電流  $I_{pix}$  が生成されるものの、データライン DL には供給されない状態となり、実質的に、書込電流生成回路が非選択状態に設定される。

#### 【0153】

このようなデータドライバ 130B における制御動作は、上述した実施形態において示した表示装置の駆動制御方法（図 17 及び図 18 参照）と同様に、信号保持動作においては、シフトレジスタ回路 132 から順次出力されるシフト信号 SR1、SR2、・・・に基づいて、選択状態に設定された書込電流生成回路群の各書込電流生成回路 ISy に設けられた信号ラッチ回路 10y により、各列ごとの表示データ D0～D3 が順次取り込まれ、表示データ D0～D3 の反転信号に相当する保持信号 D10\*～D13\* が電流生成部 20y に出力される。

#### 【0154】

また、電流生成供給動作においては、保持信号 D10\*～D13\* に基づいて、予め規定された電流値を有する複数の階調電流から、所定の階調電流を選択して合成し、正極性の書込電流  $I_{pix}$  を生成して、データドライバ 130B 側から各データライン DL1、DL2、・・・を介して、表示画素方向に流し込むように順次供給する。

#### 【0155】

さらに、黒表示動作においては、表示データ D0～D3 が黒表示状態（保持信号 D10～D13 が全て “0”）に設定されることにより、電流生成部 20y における階調電流及び書込電流  $I_{pix}$  の生成、供給が停止されるとともに、特定状態設定部 30y において黒表示状態が判別され、黒表示（最低輝度階調での発光動作）に対応した電圧  $V_{bk}$  が各データライン DL1、DL2、・・・に順次印加される。

## 【0156】

したがって、本実施形態に係るデータドライバ130Bを適用した表示装置においても、各データラインDL1、DL2、・・・に対応して設けられた各書込電流生成回路ISyにより表示データD0～D3に応じた階調電流を生成、合成することにより、適切な電流値を有する書込電流I<sub>pix</sub>として各表示画素に供給して良好な階調表示動作を実現することができ、一方、黒表示動作時には、各書込電流生成回路ISyによる書込電流I<sub>pix</sub>の供給を遮断するとともに、所定の黒表示電圧を各データラインDL1、DL2、・・・に印加することにより、迅速に黒表示状態に移行して表示装置における表示応答特性並びに表示画質の向上を図ることができる。

## 【0157】

## &lt;第2の実施形態&gt;

次に、本発明に係る電流生成供給回路を、表示装置（表示パネル）を構成する各表示画素に設けられた画素駆動回路に適用した場合の実施形態について、図面を参照して説明する。

図22は、本発明に係る電流生成供給回路を適用可能な表示装置（表示パネル）の第2の実施形態を示す概略構成図である。また、図23は、本実施形態に係る表示装置に適用される画素駆動回路の一実施例を示す回路構成図であり、図24は、本実施形態に係る表示装置に適用されるデータドライバの一実施例を示す回路構成図である。ここでは、図1乃至図3に示した構成を有する電流生成供給回路を、各画素駆動回路に適用した場合について説明する。また、上述した第1の実施形態と同等の構成については、同一の符号を付して、その説明を簡略化又は省略する。

## 【0158】

図22に示すように、本実施形態に係る表示装置100Cは、上述した第1の実施形態と同様に、概略、表示パネル110C、走査ドライバ120C、データドライバ130C、及び、図示を省略したシステムコントローラ150、表示信号生成回路160を備えた構成を有しているが、表示パネル110Cを構成する各表示画素（画素駆動回路DCz）及びデータドライバ130Cが以下に示すよ

うに異なる構成を有している。

#### 【0159】

本実施形態に適用される表示パネル 110C は、具体的には、図 22 に示すように、並列に配設された複数の走査ライン SL と、該走査ライン SL に対して、直交するように複数本ずつ（本実施形態においては 4 本）を一組として配設された複数のデータライン群 DL<sub>z</sub> と、これらの走査ライン SL とデータライン群 DL<sub>z</sub> との各交点近傍に配列された複数の表示画素（図 22 中、後述する画素駆動回路 DC<sub>z</sub> 及び有機 EL 素子 OEL からなる構成）と、該複数の表示画素に一定の電流値を有する基準電流 I<sub>pix</sub> を定常的に供給する単一の電流発生源 IR と、を備えた構成を有している。

#### 【0160】

ここで、各表示画素は、図 22 に示すように、走査ドライバ 120C から走査ライン SL を介して印加される走査信号 V<sub>sel</sub>、及び、データドライバ 130C からデータライン群 DL<sub>z</sub> を介して供給される階調データ DP<sub>0</sub>～DP<sub>k</sub>（デジタル信号；本実施形態では、 $k=3$  とする）に基づいて、発光駆動電流を生成する画素駆動回路 DC<sub>z</sub> と、該画素駆動回路 DC<sub>z</sub> により供給される発光駆動電流の電流値に応じて所定の輝度階調で発光動作する有機 EL 素子 OEL と、を備えた構成を有している。

#### 【0161】

画素駆動回路 DC<sub>z</sub> は、具体的には、図 23 に示すように、走査ドライバ 120C からの走査信号 V<sub>sel</sub> の印加タイミングに基づいて、データドライバ 130C から各データライン群 DL<sub>z</sub> を介して供給される 1 行分の階調データ DP<sub>0</sub>～DP<sub>3</sub> を同時かつ個別に取り込み、当該階調データ DP<sub>0</sub>～DP<sub>3</sub> に対応する出力信号（保持信号）DP<sub>10</sub>～DP<sub>13</sub> を所定期間、出力保持する信号ラッチ部 10<sub>z</sub>（上述した信号ラッチ部 10 に相当する）と、電流発生源 IR から各表示画素（画素駆動回路 DC<sub>z</sub>）に供給される基準電流 I<sub>ref</sub> に基づいて生成される複数の階調電流のうち、上記出力信号 DP<sub>10</sub>～DP<sub>13</sub> により選択される特定の階調電流を合成して、各表示画素における輝度階調に対応した発光駆動電流を生成して、有機 EL 素子 OEL に供給する電流生成部 20<sub>z</sub>（上述した電流生成

部 20A に相当する) と、有機 EL 素子 OEL を黒表示動作 (最低輝度階調で発光動作) させる場合に、有機 EL 素子 OEL に対して所定の黒表示電圧  $V_{bk}$  を印加する黒表示設定部 (特定状態設定手段) 30z と、を備えて構成されている。

#### 【0162】

すなわち、画素駆動回路 DCz は、本発明に係る電流生成供給回路 (図 1 参照) と同等の構成を有している。ここで、図示を省略するが、電流ラッチ部 10z は、図 1 に示した構成と同様に、各階調データ DP0 ~ DP3 に対応して複数 (4 個) のラッチ回路を備えた構成を有している。また、本実施形態においては、後述するように、電流生成部 20z により負極性の発光駆動電流が生成され、有機 EL 素子側から電流生成部 20z 方向に該発光駆動電流が流れるため、有機 EL 素子 OEL のアノード端子が所定の高電位電源に接続された電源接点 +V に接続されるとともに、カソード端子が電流生成部 20z の電流出力接点 OUTi に接続されている。

#### 【0163】

このような構成を有する画素駆動回路 DCz における有機 EL 素子 OEL の駆動制御動作は、まず、走査ライン SL に対して、例えば、ハイレベル (選択レベル) の走査信号 Vsel を印加するとともに、このタイミングに同期して、後述するデータドライバ 130C により、表示信号生成回路 160 から供給される表示データ D0 ~ D3 に対応する複数ビットのデジタル信号からなる階調データ DP0 ~ DP3 を、データライン群 DLz に供給する。これにより、画素駆動回路 DCz を構成する信号ラッチ部 10z の各信号入力接点 IN0 ~ IN3 から階調データ DP0 ~ DP3 が同時かつ個別に取り込み保持され、上述した実施形態 (図 2 参照) と同様に、各階調データ DP0 ~ DP3 に基づく出力信号 (保持信号) DP10 ~ DP13 が電流生成部 20z に出力される。

#### 【0164】

電流生成部 20z は、上述した実施形態 (図 3 参照) と同様に、基準電流  $I_{ref}$  に基づいて生成される所定の比率の電流値を有する複数の階調電流から、上記保持信号 DP10 ~ DP13 の信号レベルに応じて、特定の階調電流のみを選択して合成して得られる発光駆動電流を、電流出力接点 OUTi を介して有機 EL

素子OELに供給する（本実施形態においては、有機EL素子OEL側から画素駆動回路DCz方向に引き込むように発光駆動電流が流れる）。これにより、有機EL素子OELに表示データD0～D3（階調データDP0～DP3）に応じた発光駆動電流が順バイアス方向に流れ、有機EL素子OELが所定の輝度階調で発光する。

また、表示データD0～D3が黒表示状態（階調データDP0～DP3又は出力信号DP10～DP13が全て“0”）にある場合には、上記複数の階調電流のいずれも選択されず、有機EL素子OELに発光駆動電流が供給されない。

#### 【0165】

黒表示設定部30zは、図23に示すように、電流ラッチ部10zから出力される出力信号DP10～DP13の信号レベルに基づいて、表示データD0～D3（階調データDP0～DP3）が黒表示状態にある場合にのみ、有機EL素子OELを最低輝度階調で発光動作させるために必要な電圧（具体的には、電源接点+Vに接続された高電位電源の電圧レベルと黒表示電圧Vbkとの電位差）を印加する。これにより、表示データD0～D3が黒表示状態（出力信号DP10～DP13が全て“0”）にある場合に、上記電流生成部20zにより発光駆動電流の供給が遮断されるタイミングに同期して、有機EL素子OELのカソード端子に所定の黒表示電圧が印加され、高電位電源の電圧レベルと黒表示電圧Vbkとの電位差に基づいて微小な電流が発光駆動電流として流れることにより、有機EL素子OELが最適輝度階調で発光する。

#### 【0166】

また、データドライバ130Cは、例えば、図24に示すように、上述した実施形態（図14参照）と同様に、シフトクロック信号SFCに基づいて、サンプリングスタート信号STRをシフトしつつ、所定のタイミングでシフト信号SR1、SR2、SR3、・・・を順次出力するシフトレジスタ回路132と、該シフトレジスタ回路132からのシフト信号SR1、SR2、・・・の入力タイミングに基づいて、図示を省略した表示信号生成回路160から供給される複数ビットの表示データD0～D3を同時かつ個別に順次取り込み、保持する複数のラッチ部LD1、LD2、LD3、・・・からなるラッチ回路部135と、図示を

省略したシステムコントローラ 150 から出力される出力イネーブル信号 WE に基づいて、該ラッチ回路部 135 に保持された 1 行分の表示データ D0～D3 を、各データライン群 DL<sub>z</sub> を介して階調データ DP0～DP3 として、上述した各行の表示画素に一括して供給する動作を行う複数のスイッチ SW1、SW2、SW3、・・・からなる出力回路 136 と、を備えた構成を適用することができる。

#### 【0167】

なお、本実施形態においては、データドライバの構成として、表示パネルに配設された各データライン群ごとに唯一のラッチ回路（ラッチ回路部）を備えた構成について示したが、本発明はこれに限定されるものではなく、上述した実施形態に示したように、各データライン群ごとに 2 組のラッチ回路（ラッチ回路部）を備え、一方のラッチ回路部に i 行目の表示データ D0～D3 を取り込み、保持する動作中に、他方のラッチ回路部に先に保持した（i-1）行目の表示データを階調データ DP0～DP3 として供給する動作を、2 組のラッチ回路部で交互に繰り返し、連続的に階調データ DP0～DP3 を各行の表示画素に供給するようにしてもよい。

#### 【0168】

（表示装置の駆動制御方法）

次に、上述した構成を有する表示装置の動作について、図面を参照して説明する。

図 25 は、本実施形態に係る表示装置（データドライバ及び表示パネル）における制御動作の一例を示すタイミングチャートである。また、図 26 は、本実施形態に係る表示装置に適用される画素駆動回路の他の実施例を示す回路構成図である。

#### 【0169】

まず、データドライバ 130C における制御動作は、図 25 に示すように、上述したラッチ回路部 135 を構成する各ラッチ部 LD1、LD2、LD3、・・・に、表示信号生成回路 160 から時系列的に供給される各列ごとの表示データ D0～D3 を順次取り込み、保持する表示データ保持動作と、該表示データ保持

動作により取り込まれた表示データD0～D3を、出力回路136の各スイッチSW1、SW2、SW3、・・・を介して、階調データDP0～DP3として各データライン群DL<sub>z</sub>に一括して供給する階調データ供給動作と、を設定することにより実行される。

#### 【0170】

ここで、表示データ保持動作においては、シフトレジスタ回路132から順次出力されるシフト信号SR1、SR2、SR3、・・・に基づいて、上記各ラッチ部LD1、LD2、LD3、・・・に、各列の表示画素に対応して切り替わる表示データD0～D3を順次取り込み、保持する動作が1行分連続的に実行される。

また、階調データ供給動作においては、システムコントローラ150から出力される出力イネーブル信号WEに基づいて、上記各ラッチ部LD1、LD2、LD3、・・・に保持された表示データD0～D3を階調データDP0～DP3として、各スイッチSW1、SW2、SW3、・・・を介してデータライン群DL<sub>z</sub>に一括して供給する。ここで、階調データ供給動作（出力イネーブル信号WE）は、表示パネル110Cにおいて、特定の行の表示画素を選択する走査信号Vselの印加タイミングに同期するように設定される。すなわち、本実施形態においては、複数ビットのデジタル信号からなる表示データD0～D3に基づく階調データ（デジタル信号）DP0～DP3がデータドライバ130Cから表示パネル110Cに配設された各データライン群DL<sub>z</sub>を介して、直接表示画素（画素駆動回路DC<sub>z</sub>）に供給される。

#### 【0171】

また、表示パネル110C（表示画素）における制御動作は、図25に示すように、走査ドライバ120Cにより特定の行（i行目）の走査ラインSLに走査信号Vselを印加することにより、上記階調データ供給動作によりデータドライバ130Cから各データライン群DL<sub>z</sub>に供給された階調データDP0～DP3を、各表示画素（画素駆動回路DC<sub>z</sub>）に設けられた上記信号ラッチ部10<sub>z</sub>に取り込み保持し、該階調データDP0～DP3に基づく出力信号（保持信号）DP10～DP13を電流生成部20<sub>z</sub>及び黒表示設定部30<sub>z</sub>に出力する。

## 【0172】

そして、黒表示動作以外の動作状態（表示データD0～D3が全て“0”でない状態）においては、電流生成部20zにより、基準電流I<sub>ref</sub>及び該出力信号DP10～DP13に基づいて、表示データD0～D3（階調データDP0～DP3）に応じた発光駆動電流が生成され、有機EL素子OELに供給される。これにより、有機EL素子OELが所定の輝度階調で発光する。一方、表示データD0～D3が黒表示状態においては、電流生成部20zにおける発光駆動電流の供給が遮断されるとともに、黒表示設定部30zにより、有機EL素子OELに所定の黒表示電圧V<sub>bk</sub>が印加されることにより、予め設定された微小電流が有機EL素子OELに流れて、最適輝度階調で発光動作が行われる。

以上の一連の制御動作は、表示パネル110Cを構成する全ての行について、順次実行され、各行の有機EL素子OELの発光動作（発光駆動電流の供給動作）は、次の走査信号V<sub>sel</sub>が印加されるまで、画素駆動回路DCzにより継続的に保持される。

## 【0173】

したがって、本実施形態に係る表示装置100Cにおいて、通常の階調表示動作時には、各表示画素に設けられた画素駆動回路DCz（電流生成部20z）により表示データD0～D3に応じた階調電流が生成、合成されて、適切な電流値を有する発光駆動電流が発光素子に供給され、良好な輝度階調で発光動作が行われ、一方、黒表示動作時には、画素駆動回路DCzに設けられた電流生成部20zによる発光駆動電流の供給が遮断されるとともに、黒表示設定部30zにより最低輝度階調での発光動作に対応した黒表示電圧が発光素子に印加されて、黒表示動作が行われるので、良好な階調表示を実現しつつ、迅速に黒表示状態に移行することができ、表示装置における表示応答特性並びに表示画質の向上を図ることができる。

## 【0174】

また、本実施形態に係る表示装置においては、表示パネル110Cに配設される各データライン群DLzを介して、表示データD0～D3に対応する複数ビットのデジタル信号からなる階調データDP0～DP3が表示画素に直接供給され



、また、各表示画素に設けられた画素駆動回路DC<sub>z</sub>において予め規定された電流値を有する複数の階調電流から、表示データD<sub>0</sub>～D<sub>3</sub>に応じた特定の階調電流を選択して合成することによりアナログ信号からなる発光駆動電流を生成するように構成されているので、従来技術に多用されているような、データラインを介して表示画素にアナログ信号からなる書込電流を供給する構成に比較して、信号レベルの劣化や外部ノイズ等の影響を受けにくくして信号対ノイズ特性（S/N比）を改善することができる。よって、表示データに対応した適切な電流値を有するアナログ電流からなる発光駆動電流を、比較的簡易な回路構成により生成することができ、表示画素（発光素子）を適正な輝度階調で発光動作させて表示画質の向上を図ることができる。

#### 【0175】

なお、上述した実施形態においては、表示画素として、画素駆動回路DC<sub>z</sub>により生成された発光駆動電流を有機EL素子OEL側から引き込む方向に流す電流シンク方式に対応した構成を示したが、本発明はこれに限定されるものではなく、上述した図6乃至図9に示した構成を適用して、図26に示すように、画素駆動回路DC<sub>z</sub>'により生成された発光駆動電流を、電流生成部20<sub>z</sub>'から有機EL素子OEL方向に流し込むように供給する電流印加方式に対応した構成を適用することもできる。なお、この場合、上述した実施例に示したような表示装置の構成（図22参照）において、電流発生源の他端側（+V接続側）を低電位電源（接地電位）に接続して、基準電流I<sub>ref</sub>を表示パネル（表示画素）側から該低電位電源方向に引き込むように設定される。

#### 【0176】

また、上述した各実施形態においては、表示データとして4ビットのデジタル信号を適用し、 $2^4 = 16$ 階調の表示動作を行う場合について説明したが、本発明はこれに限定されるものではなく、より多階調の画像表示に適用することができるというまでもない。

また、上述した実施形態においては、本発明に係る電流生成供給回路を表示装置のデータドライバ又は画素駆動回路に適用した場合についてのみ説明したが、本発明はこのような適用例に限定されるものではなく、例えば、発光ダイオード

を多数配列して形成されるプリンタヘッドの駆動回路のように、所定の電流値を有する電流を供給することにより、該電流値に応じた所定の駆動状態で動作する機能素子を多数備えたデバイスの駆動回路に良好に適用することもできる。

#### 【0177】

(電界効果型トランジスタの構造)

次に、本発明に係る電流生成供給回路、及び、表示装置の表示パネルに設けられた画素駆動回路に適用可能な電界効果型トランジスタ（薄膜トランジスタ）の構造について説明する。

図27は、本発明に係る電流生成供給回路及び表示装置に適用されるnチャネル型トランジスタの電圧－電流特性を示す図であり、図28は、本発明に係る電流生成供給回路及び表示装置に適用されるpチャネル型トランジスタの電圧－電流特性を示す図である。

#### 【0178】

上述した各実施形態においては、データドライバ130A、130Bを構成する書込電流生成回路ILA1、ILA2、・・・、ILB1、ILB2、・・・、及びILC1、ILC2、・・・、ILD1、ILD2、・・・、又は、表示パネル110A～110Cを構成する画素駆動回路DCx～DCzに、本発明に係る電流生成供給回路ISA、ISB（図1、図6参照）を適用する場合において、電流生成部20A、20Bとして、図3、図4又は図7、図8に示したように、周知のnチャネル型もしくはpチャネル型の電界効果型トランジスタを用いた回路構成について説明した。

#### 【0179】

ここで、上記nチャネル型及びpチャネル型のトランジスタ固有の電圧－電流特性について、図27(a)及び図28(a)に示すような基本回路を用いて検証すると、図27(b)及び図28(b)中、破線で示すように、本来、ソース－ドレイン間電圧 $V_{ds}$ 、 $-V_{ds}$ が特定の電圧領域で、ドレイン電流（ソース－ドレイン間電流） $I_{ds}$ 、 $-I_{ds}$ が飽和傾向を示すことが理想的であるにもかかわらず、図27(b)及び図28(b)中、実線で示すように、印加電圧（ソース－ドレイン間電圧 $V_{ds}$ 、 $-V_{ds}$ ）の絶対値の増大に伴って、一旦飽和傾向を示した

ドレイン電流  $I_{ds}$ 、 $-I_{ds}$  の絶対値が次第に増加する傾向を示す。

#### 【0180】

これは、例えば、近年、高速化や低消費電力化、高集積化等の利点を有することから、研究開発が盛んに進められている SOI (Silicon On Insulator) 構造の半導体層を有する電界効果型トランジスタ等において検証されているように、電界が集中する素子分離領域近傍で衝突イオン化が誘発され、これにより生成されたキャリア (nチャネル型トランジスタでは正孔、pチャネル型トランジスタでは電子) がチャネル領域 (ボディ領域) に注入、蓄積されること (基板浮遊効果) により、しきい値電圧が低下して、ドレイン電流が増加するキンク (kink) 現象によるものと考えられている。

#### 【0181】

そのため、このようなキンク現象によるドレイン電流の増加 (キンク電流の発生) により、ドレイン電流 (電圧-電流特性) の良好な飽和特性が得られなくなり、例えば、図3又は図7に示したようなカレントミラー回路等において、基準電流に対する階調電流の電流値の比率が所望の設計値 (上述した実施形態に係る電流生成供給回路においては、トランジスタのチャネル幅の比) 通りに設定されなくなるため、負荷を所望の駆動状態で動作させることができなくなる。そのため、各表示画素を表示データに基づいた適切な輝度階調で発光動作させることができず、表示画質の劣化を招く可能性がある。

#### 【0182】

また、同様の問題点は、表示画素を構成する画素駆動回路  $DC_x$ 、 $DC_y$  として、図13又は図19に示したような nチャネル型及び pチャネル型の電界効果型トランジスタを適用した回路構成においても言及することができる。以下、図19に示した画素駆動回路における場合について詳しく説明する。

図29は、発光駆動用トランジスタ (pチャネル型トランジスタ) における電圧-電流特性と、書込動作時と発光動作時におけるドレイン電流 (発光駆動電流) の電流値との関係を示す図である。ここでは、図19に示した画素駆動回路を適宜参照しながら説明する。

#### 【0183】

すなわち、上述したように、図19に示した画素駆動回路DCyにおいて、書込動作時には、走査ラインSLにハイレベルの走査信号Vselが印加されることにより、pチャネル型トランジスタTr91がオフ動作し、nチャネル型トランジスタTr92及びTr94がオン動作するので、書込電流Ipixはnチャネル型トランジスタTr92及びpチャネル型トランジスタTr93を介して、有機EL素子OELに流れ込む。このとき、nチャネル型トランジスタTr94がオン状態にあるので、pチャネル型トランジスタTr93のゲートソース間（接点Nya-Nyb間）の電圧及びソースドレイン間（接点Nya-Nyc間）の電圧は同一となり、このときの電圧－電流特性曲線上での動作点は、例えば、図29（a）中の飽和特性を示す領域内のACwとなる。

#### 【0184】

一方、発光動作時には、走査ラインSLにローレベルの走査信号Vselが印加されることにより、pチャネル型トランジスタTr91がオン動作し、nチャネル型トランジスタTr92及びTr94がオフ動作するので、電源端子+Vに接続された高電位電源（図示を省略）からpチャネル型トランジスタTr91及びTr93を介して、発光駆動電流が有機EL素子OELに流れ込む。このとき、nチャネル型トランジスタTr94はオフ状態にあるので、pチャネル型トランジスタTr93のゲート電圧（接点Nybの電位）はフローティング状態となるが、上記書込動作時にコンデンサCyに蓄積された電荷により、pチャネル型トランジスタTr93のゲートソース間電圧は、走査信号Vsel切り替え直前の書込動作時の電位が保持される。したがって、このときの電圧－電流特性曲線上での動作点は、図29（b）に示すように、上記動作点ACwよりも、飽和領域内を低電圧方向（図29（b）においては、右方向）に移動した動作点ACHとなる。ここで、動作点ACwから動作点ACHへの遷移は、ソースドレイン間電圧－Vdsの値に関わらず略一定のドレイン電流－Idsが流れる飽和領域内での変化であることから、有機EL素子OELに流れ込む電流（発光駆動電流）は、理想的には、上記書込動作時に設定、保持された電流（書込電流Ipix）と略同等の電流値に制御されることになる。

#### 【0185】

しかしながら、上述した場合と同様に、図19に示したような回路構成を有する画素駆動回路においては、 $n$ チャネル型のトランジスタ（ $p$ チャネル型トランジスタ  $Tr93$ ）の固有の電圧－電流特性は、図28（b）に示したように、ソースドレイン間電圧－ $V_{ds}$ の絶対値が増大するにしたがって、ドレイン電流－ $I_{ds}$ の絶対値が次第に増加するキンク現象が発生することにより、有機EL素子OELに流れ込む電流（発光駆動電流）が書込動作時に設定した電流（書込電流  $I_{pix}$ ）とは異なる値となってしまふ。このために、各表示画素を表示データに基づいた適切な輝度階調で発光動作させることができなくなってしまう。なお、ここでは、図19に示した画素駆動回路についてキンク現象の影響を説明したが、図13に示した回路構成を有する場合であっても、図27（b）に示したように、同等の問題が生じる。

#### 【0186】

そこで、本発明においては、上述したようなキンク現象を抑制するために、少なくとも、電流生成供給回路において基準電流や階調電流を流すトランジスタ、並びに、画素駆動回路において発光駆動電流を流す駆動制御用のトランジスタ（図19に示したトランジスタ  $Tr93$ 、又は、図13に示したトランジスタ  $Tr83$ ）に、SOI電界効果型トランジスタのボディ領域とソース領域を電氣的に接続（短絡）した、いわゆる、ボディターミナル構造のトランジスタを適用した構成を有している。

#### 【0187】

以下、具体的に説明する。なお、以下の説明では、ボディターミナル構造を有する  $p$ チャネル型のトランジスタについて詳しく説明し、 $n$ チャネル型のトランジスタについては説明を適宜簡略化又は省略する。

図30は、ボディターミナル構造を有する  $p$ チャネル型のトランジスタ（MOS T）の平面構成を示す概略図であり、図30（a）は、半導体基板上に形成された活性層の平面構成を表し、図30（b）は、活性層上に電極を形成した状態における平面構成を表す。図31は、ボディターミナル構造を有する  $p$ チャネル型のトランジスタの断面構成を示す概略図であり、図31（a）、（b）は、図30（b）に示した平面構成の断面構成を示し、図31（c）、（d）は、ボデ

イターミナル構造を有する p チャネル型トランジスタ及び n チャネル型トランジスタを示す回路記号である。なお、ここで示すボディターミナル構造を有する電界効果型トランジスタは、本発明に係る電流生成供給回路又は表示装置に適用可能な一例を示すものにすぎず、同等の素子特性を有する他のトランジスタ構造を有するものであってもよいことはいうまでもない。

#### 【0188】

ボディターミナル構造を有する p チャネル型トランジスタは、概略、図 30 (a) 及び図 31 (a)、(b) に示すように、シリコン等の n 型半導体基板 sub の一面側に絶縁膜 ins S を介して形成された n 型半導体層 (活性層 Rac) に、チャネル領域 (ボディ領域) R chn を挟んでソース領域 ( $p^+$ ) R S 及びドレイン領域 ( $p^+$ ) R D が離間して形成されるとともに、ソース領域 R S 及びドレイン領域 R D の対向軸 (図 30 (a) の左右方向) に対して垂直方向 (図 30 (a) の上下方向) に、チャネル領域 R chn から突出するようにターミナル領域 ( $n^+$ ) R T が接合形成された構成を有している。そして、このような活性層 Rac 上には、図 30 (b) 及び図 31 (a)、(b) に示すように、チャネル領域 chn 上にゲート絶縁膜 ins G を介して形成されたゲート電極 E G と、ドレイン領域 R D にオーミック接続されたドレイン電極 E D と、ソース領域 R S 及びターミナル領域 R T にオーミック接続された単一のボディターミナル電極 E B と、が形成されている。このようなボディターミナル構造を有する p チャネル型トランジスタは、図 31 (c) に示すような回路記号により表記される。

#### 【0189】

なお、図示を省略するが、ボディターミナル構造を有する n チャネル型トランジスタは、図 30 及び図 31 (a)、(b) に示した構成と略同等であって、p 型半導体層からなる活性層に、チャネル領域を挟んでソース領域 ( $n^+$ ) 及びドレイン領域 ( $n^+$ ) が形成されるとともに、チャネル領域から突出するようにターミナル領域 ( $p^+$ ) が接合形成された構成を有している。ゲート電極、ドレイン電極及びボディターミナル電極の構造は、上記 p チャネル型トランジスタの場合と同一である。このようなボディターミナル構造を有する n チャネル型トランジスタは、図 31 (d) に示すような回路記号により表記される。

## 【0190】

図32は、ボディターミナル構造を有するnチャネル型トランジスタの電圧－電流特性を示す図であり、図33は、ボディターミナル構造を有するpチャネル型トランジスタの電圧－電流特性を示す図である。また、図34は、図3に示した電流生成部のカレントミラー回路部に、上述したボディターミナル構造を有するnチャネル型トランジスタを適用した一具体例を示す回路構成図であり、図35は、図7に示した電流生成部のカレントミラー回路部に、上述したボディターミナル構造を有するpチャネル型トランジスタを適用した一具体例を示す回路構成図である。さらに、図36は、図13に示した画素駆動回路の発光駆動用トランジスタに、上述したボディターミナル構造を有するnチャネル型トランジスタを適用した一具体例を示す回路構成図であり、図37は、図19に示した画素駆動回路の発光駆動用トランジスタに、上述したボディターミナル構造を有するpチャネル型トランジスタを適用した一具体例を示す回路構成図である。ここで、上述した実施形態と同等の構成については、同一の符号を付してその説明を省略する。

## 【0191】

このようなボディターミナル構造を有するnチャネル型及びpチャネル型トランジスタにおける固有の電圧－電流特性について、図32(a)及び図33(a)に示すような基本回路を用いて検証すると、図32(b)及び図33(b)に示すように、ソースドレイン間電圧 $V_{ds}$ 、 $-V_{ds}$ が特定の電圧領域では、ドレイン電流 $I_{ds}$ 、 $-I_{ds}$ が良好な飽和傾向を示す。

## 【0192】

これは、上述したチャネル領域 $R_{chn}$ とドレイン領域 $R_D$ の境界近傍で生じた電子－正孔対のうち、少数キャリア（pチャネル型トランジスタでは電子、nチャネル型トランジスタでは正孔）がボディターミナル電極EBを介してソース領域 $R_S$ に流れ込み、チャネル領域 $R_{chn}$ への蓄積が抑制され、電界効果型トランジスタのしきい値電圧の低下が緩和されるため、キンク現象が抑制される（キンク電流の発生が抑制される）ことによる。

## 【0193】

したがって、このような電圧－電流特性を有する電界効果型トランジスタを、例えば、図34乃至図37に示すように、上述した各実施形態において図3、図7に示した電流生成部20A、20Bのカレントミラー回路部21A、21Bや、図13、図19に示した画素駆動回路DC<sub>x</sub>、DC<sub>y</sub>の発光駆動用トランジスタ(Tr83、Tr93)に適用して、本発明に係る電流生成供給回路や、表示装置のデータドライバや表示パネルに組み込むことにより、表示データや階調データに基づいて保持される電流に対応した適切な電流値を有する書込電流や発光駆動電流を生成することができるので、各表示画素を表示データに基づいた適切な輝度動作させることができ、表示画質の向上を図ることができる。

#### 【0194】

なお、上述した一連の説明においては、ボディターミナル構造を有する電界効果型トランジスタの適用対象として、図3及び図7に示した電流生成部を構成するカレントミラー回路の基準電流トランジスタ及び階調電流トランジスタ、あるいは、図13及び図19に示した画素駆動回路の発光駆動用トランジスタのみを示したが、本発明はこれに限定されるものではなく、例えば、上記図13及び図19に示した画素駆動回路と同等の機能を有しつつ、他の回路構成を有する画素駆動回路にも良好に適用することができることはいうまでもない。

#### 【0195】

##### 【発明の効果】

以上説明したように、本発明に係る電流生成供給回路及びその制御方法によれば、複数ビットのデジタル信号を並列的に保持する信号ラッチ部と、上記複数ビットのデジタル信号に対応した電流値を有する負荷駆動電流を生成、出力する電流生成部と、負荷における特定の動作時に、上記負荷駆動電流の供給に換えて、特定電圧を負荷に印加する特定状態設定部と、を備え、負荷における通常の階調動作時には、電流生成部により信号ラッチ部に保持されたデジタル信号に応じて、予め規定された複数の階調電流から特定の階調電流を選択して合成し、上記負荷駆動電流として負荷に出力し、一方、デジタル信号に応じて階調電流の各々が全て非選択となるような負荷の特定動作時には、特定電圧が負荷に直接印加されるように構成されているので、負荷駆動電流の遮断に伴って負荷に印加される信



号レベルがハイインピーダンス状態となって、負荷の動作状態が不安定化する問題を解消することができ、負荷を特定の動作状態に迅速に移行して良好に駆動することができる。

#### 【0196】

また、電流生成部においては、例えば、複数の階調電流を流す各薄膜トランジスタのチャンネル幅を各々所定の比率となるように形成し、あるいは、複数の電流発生源から個別に供給される複数の異なる電流値を有する基準電流（階調電流）を取り込み、複数ビットのデジタル信号に応じて、特定の階調電流を選択して合成することにより、所定数段階の電流値を有する負荷駆動電流を比較的簡易な回路構成により生成することができ、負荷を適正な駆動状態で動作させることができる。

#### 【0197】

さらに、上記電流生成供給回路において、少なくとも、負荷駆動電流の生成に直接関連する基準電流又は階調電流を流すトランジスタとして、いわゆる、ボディターミナル構造を有する電界効果型トランジスタを適用することにより、特定の電圧範囲において略一定の電流値を示す飽和領域を有する電圧－電流特性を得ることができるので、信号ラッチ部に保持されたデジタル信号の信号レベルに適切に対応した電流値を有する負荷駆動電流を生成することができ、負荷を適切な駆動状態で動作させることができる。

#### 【0198】

そして、本発明に係る表示装置によれば、上述したような電流生成供給回路をデータドライバ、もしくは、表示画素内の画素駆動回路に適用し、表示パネルの所定の行に配列された表示画素群の選択期間中に、上記信号ラッチ部に保持した複数ビットのデジタル信号（表示データ）に基づいて電流生成部において生成された特定の階調電流の合成電流を、書込電流又は発光駆動電流として、表示画素又は発光素子に供給する通常の階調表示動作と、上記書込電流又は発光駆動電流の供給を遮断するとともに、黒表示電圧（特定電圧）を表示画素又は発光素子に印加する黒表示動作と、を実行するように構成されているので、通常の階調表示動作時に、表示データに応じた適切な電流値を有する書込電流又は発光駆動電流

が各表示画素又は各発光素子に供給されて、良好な輝度階調で発光動作が行われ、一方、黒表示動作時には、上記書込電流又は発光駆動電流の供給が遮断されるとともに、表示画素における最低輝度階調での発光動作に対応した所定の黒表示電圧が各表示画素又は各発光素子に印加されて迅速に黒表示状態に移行することができ、表示装置における表示応答特性並びに表示画質の向上を図ることができる。

【図面の簡単な説明】

【図 1】

本発明に係る電流生成供給回路の一実施形態を示す概略構成図である。

【図 2】

本実施形態に係るラッチ回路の一具体例を示す回路構成図である。

【図 3】

本実施形態に係る電流生成部の一具体例を示す回路構成図である。

【図 4】

本実施形態に係る電流生成部の他の具体例を示す回路構成図である。

【図 5】

本実施形態に係る特定状態設定部に適用可能な論理回路を示す回路構成図である。

【図 6】

本発明に係る電流生成供給回路の他の実施形態を示す概略構成図である。

【図 7】

本実施形態に係る電流生成供給回路に適用される電流生成部の一具体例を示す回路構成図である。

【図 8】

本実施形態に係る電流生成供給回路に適用される電流生成部の他の具体例を示す回路構成図である。

【図 9】

本実施形態に係る特定状態設定部に適用可能な論理回路を示す回路構成図である。

**【図 10】**

本発明に係る電流生成供給回路を適用可能な表示装置の第 1 の実施形態を示す概略ブロック図である。

**【図 11】**

本実施形態に係る表示装置に適用される表示パネルの一例を示す概略構成図である。

**【図 12】**

本実施形態に係る表示装置の他の構成例を示す概略ブロック図である。

**【図 13】**

本実施形態に係る表示装置に適用可能な画素駆動回路の一実施例を示す回路構成図である。

**【図 14】**

本実施形態に係る表示装置に適用されるデータドライバの一実施例を示す概略構成図である。

**【図 15】**

本実施例に係るデータドライバに適用される書込電流生成回路の一具体例を示す構成図である。

**【図 16】**

本実施例に係るデータドライバに適用される反転ラッチ回路及び選択設定回路の一具体例を示す回路構成図である。

**【図 17】**

本実施形態に係るデータドライバにおける制御動作の一例を示すタイミングチャートである。

**【図 18】**

本実施形態に係る表示パネル（表示画素）における制御動作の一例を示すタイミングチャートである。

**【図 19】**

本実施形態に適用される画素駆動回路の一実施例を示す回路構成図である。

**【図 20】**

本実施形態に係る表示装置に適用されるデータドライバの一実施例を示す概略構成図である。

【図 2 1】

本実施例に係るデータドライバに適用される書込電流生成回路の一具体例を示す構成図である。

【図 2 2】

本発明に係る電流生成供給回路を適用可能な表示装置（表示パネル）の第 2 の実施形態を示す概略構成図である。

【図 2 3】

本実施形態に係る表示装置に適用される画素駆動回路の一実施例を示す回路構成図である。

【図 2 4】

本実施形態に係る表示装置に適用されるデータドライバの一実施例を示す回路構成図である。

【図 2 5】

本実施形態に係る表示装置（データドライバ及び表示パネル）における制御動作の一例を示すタイミングチャートである。

【図 2 6】

本実施形態に係る表示装置に適用される画素駆動回路の他の実施例を示す回路構成図である。

【図 2 7】

本発明に係る電流生成供給回路及び表示装置に適用される n チャンネル型トランジスタの電圧－電流特性を示す図である。

【図 2 8】

本発明に係る電流生成供給回路及び表示装置に適用される p チャンネル型トランジスタの電圧－電流特性を示す図である。

【図 2 9】

発光駆動用トランジスタ（p チャンネル型トランジスタ）における電圧－電流特性と、書込動作時と発光動作時におけるドレイン電流（発光駆動電流）の電流値と

の関係を示す図である。

【図 3 0】

ボディターミナル構造を有する p チャンネル型のトランジスタ (M O S T) の平面構成を示す概略図である。

【図 3 1】

ボディターミナル構造を有する p チャンネル型のトランジスタの断面構成を示す概略図である。

【図 3 2】

ボディターミナル構造を有する n チャンネル型トランジスタの電圧－電流特性を示す図である。

【図 3 3】

ボディターミナル構造を有する p チャンネル型トランジスタの電圧－電流特性を示す図である。

【図 3 4】

電流生成部のカレントミラー回路部に、ボディターミナル構造を有する n チャンネル型トランジスタを適用した一具体例を示す回路構成図である。

【図 3 5】

電流生成部のカレントミラー回路部に、ボディターミナル構造を有する p チャンネル型トランジスタを適用した一具体例を示す回路構成図である。

【図 3 6】

画素駆動回路の発光駆動用トランジスタに、ボディターミナル構造を有する n チャンネル型トランジスタを適用した一具体例を示す回路構成図である。

【図 3 7】

画素駆動回路の発光駆動用トランジスタに、ボディターミナル構造を有する p チャンネル型トランジスタを適用した一具体例を示す回路構成図である。

【図 3 8】

従来技術におけるデータドライバの一例を示す回路構成図である。

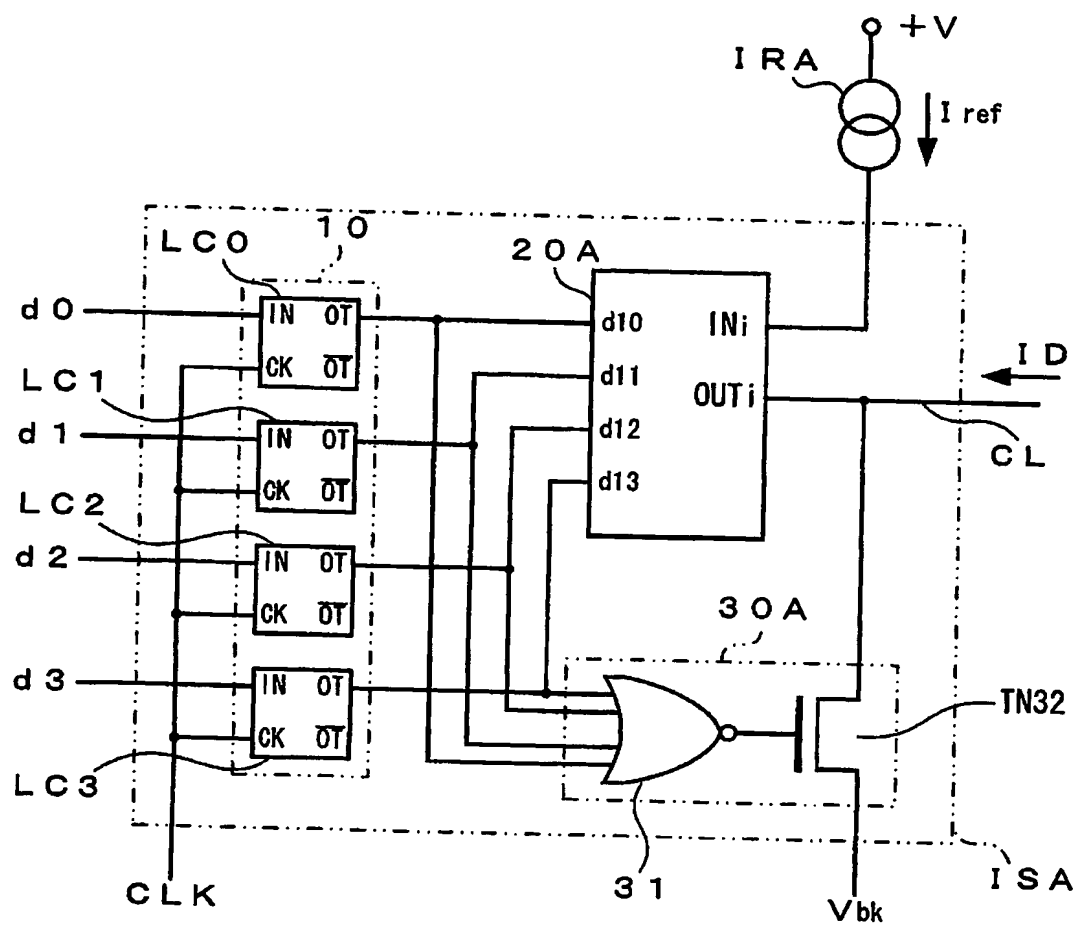
【符号の説明】

I S A、I S B      電流生成供給回路

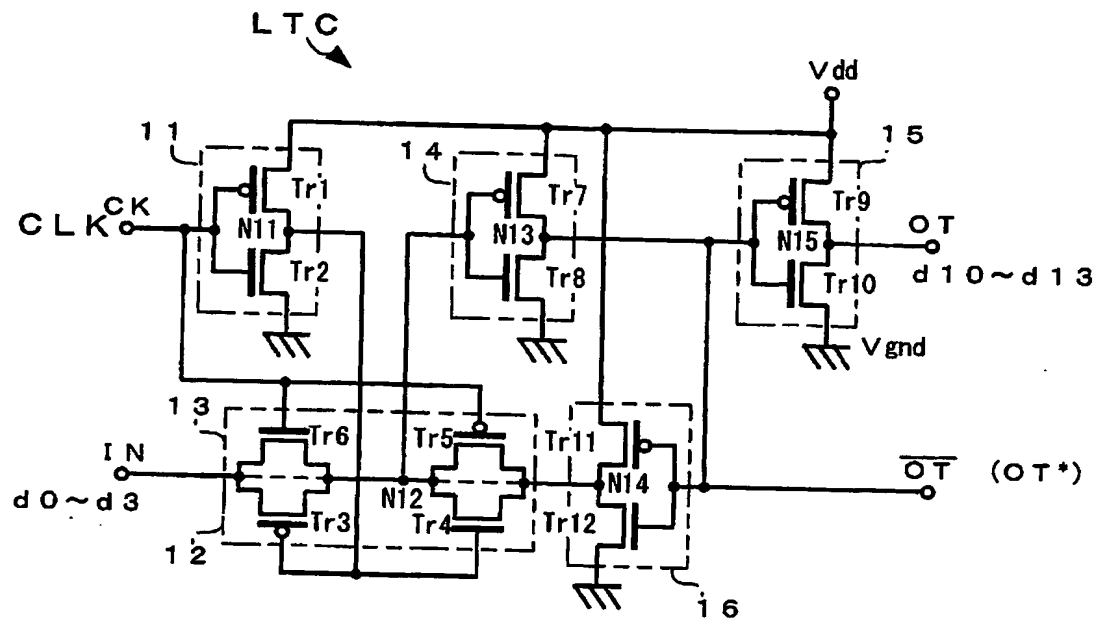
1 0	信号ラッチ部
2 0 A、2 0 B	電流生成部
2 1 A、2 1 B	カレントミラー回路部
2 2 A、2 2 B	スイッチ回路部
3 0 A、3 0 B	特定状態設定部
L C 0 ~ L C 3	ラッチ回路
I R A、I R B	電流発生源
1 0 0 A ~ 1 0 0 C	表示装置
1 1 0 A ~ 1 1 0 C	表示パネル
1 2 0 A ~ 1 2 0 C	走査ドライバ
1 3 0 A ~ 1 3 0 C	データドライバ
1 4 0	電源ドライバ
1 5 0	システムコントローラ
1 6 0	表示信号生成回路
D C x ~ D C z	画素駆動回路
O E L	有機 E L 素子

【書類名】 図面

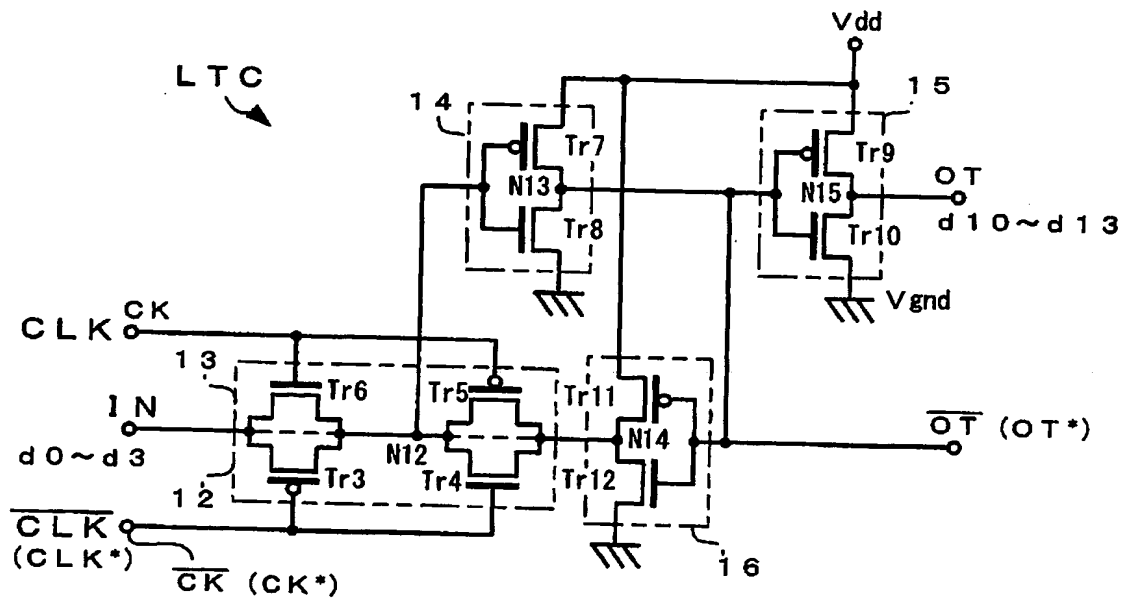
【図 1】



【図 2】



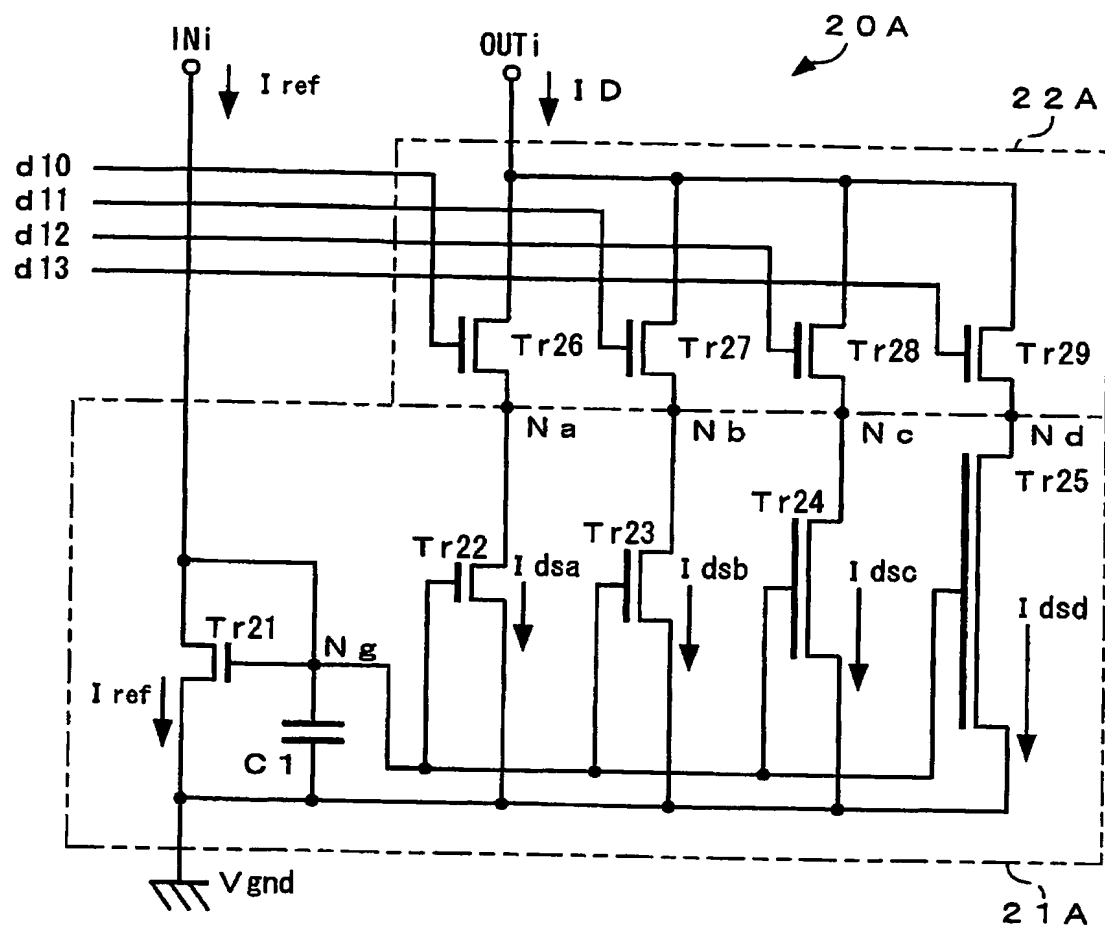
(a)



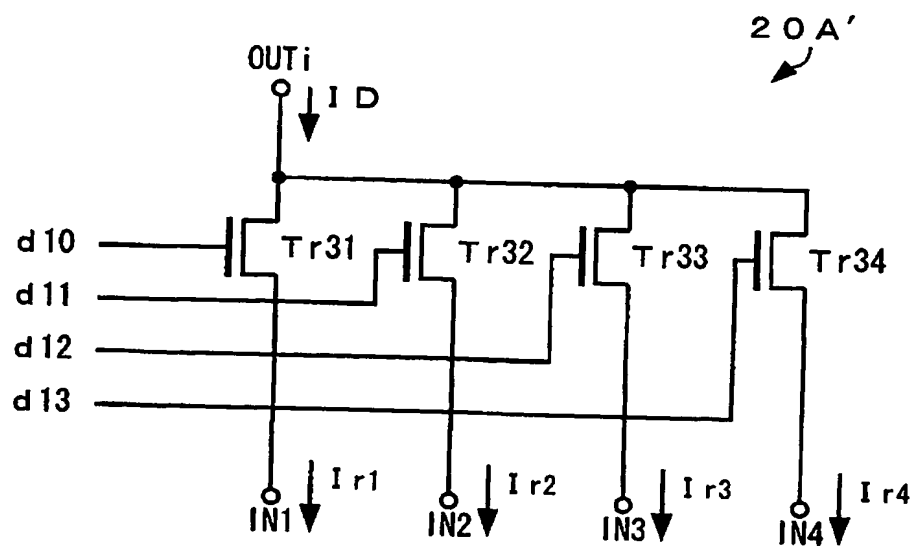
(b)



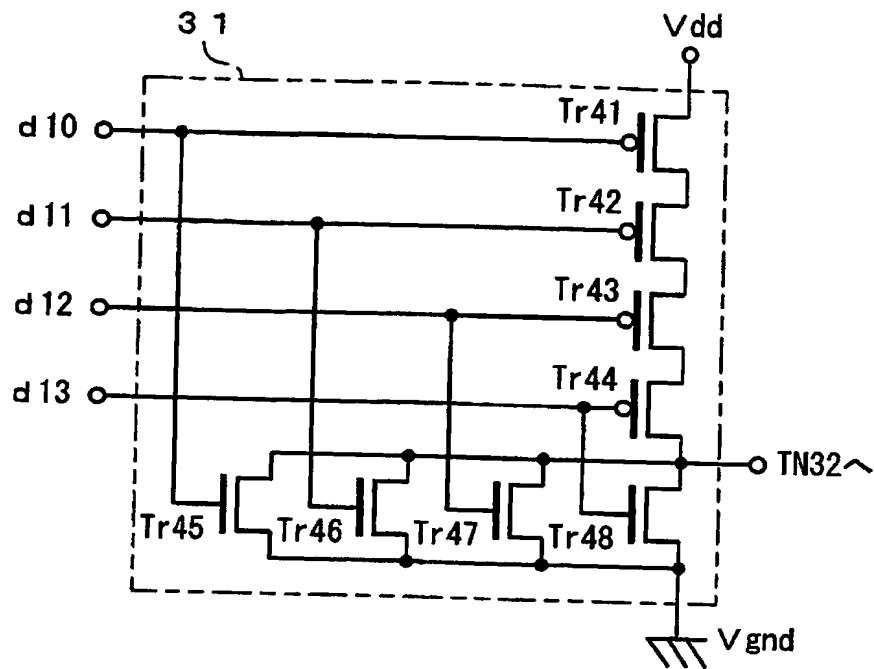
【図 3】



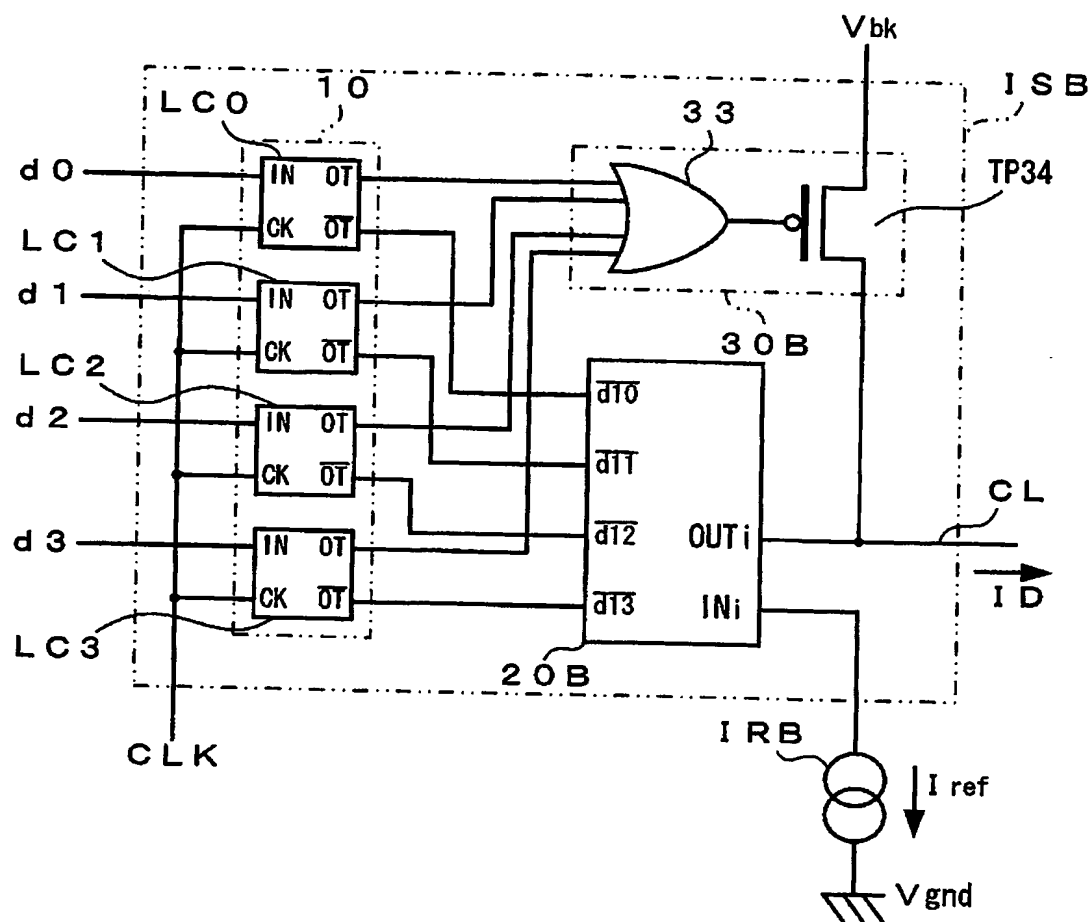
【図 4】



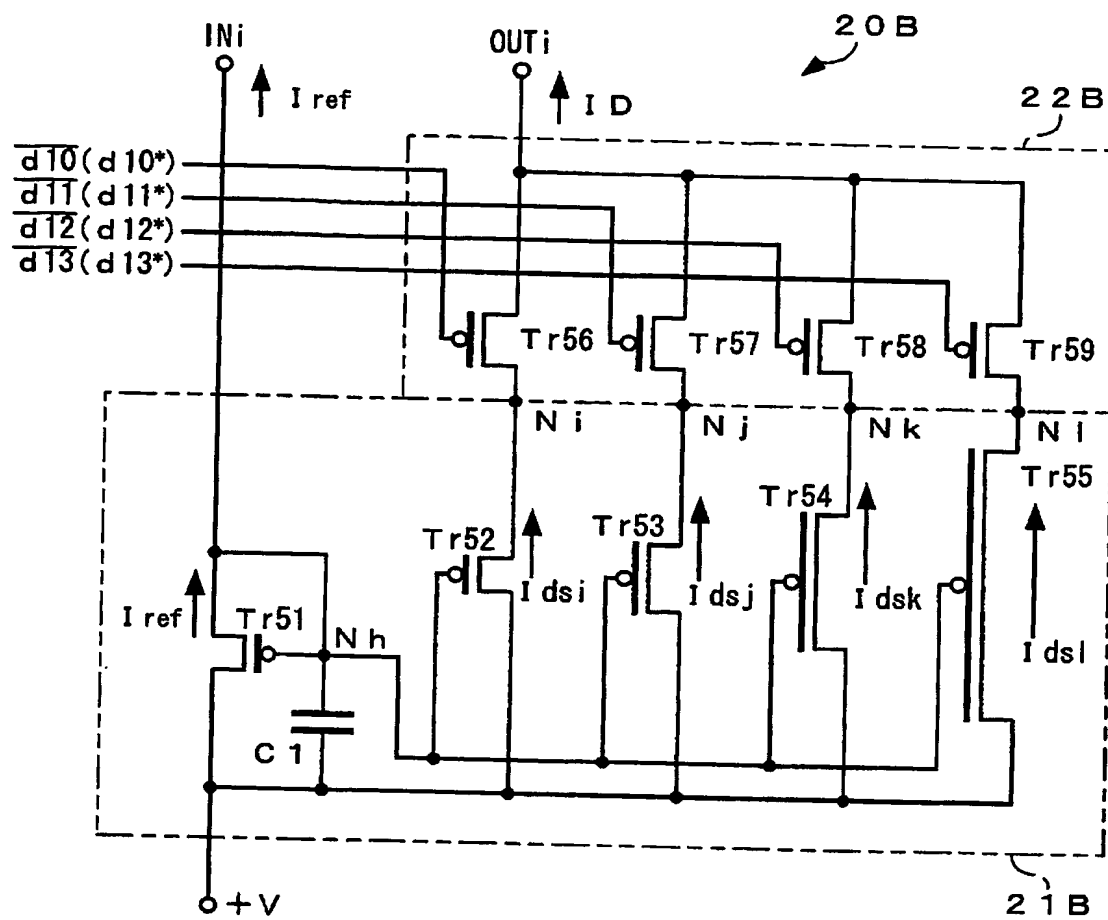
【図 5】



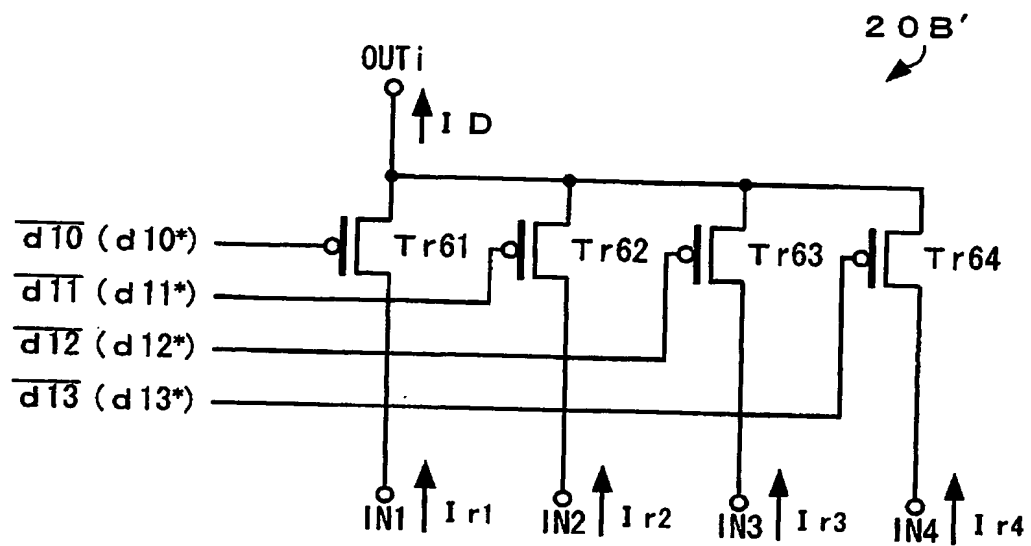
【図 6】



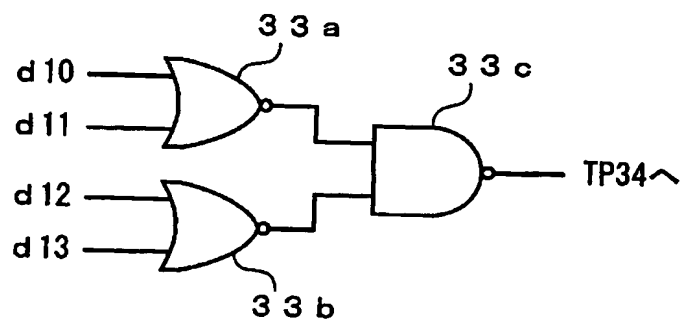
【図 7】



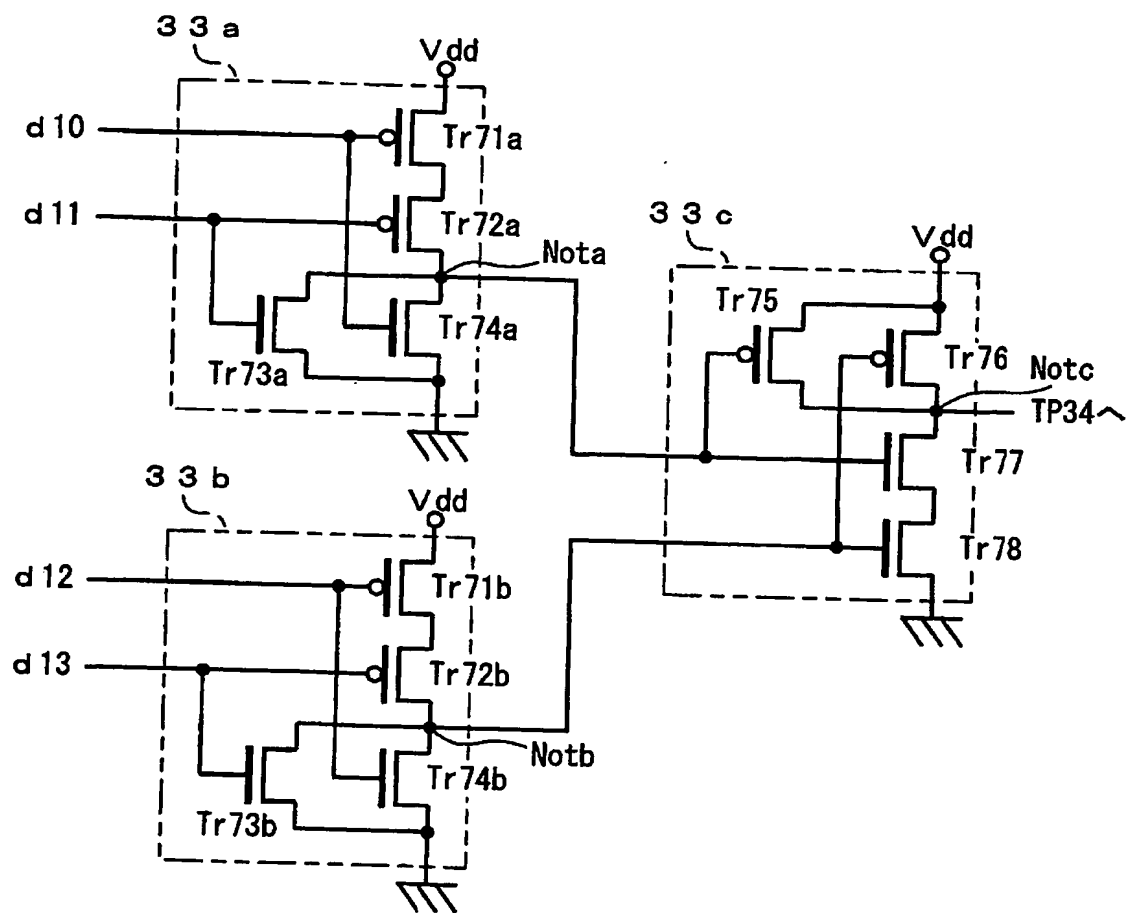
【図 8】



【図 9】

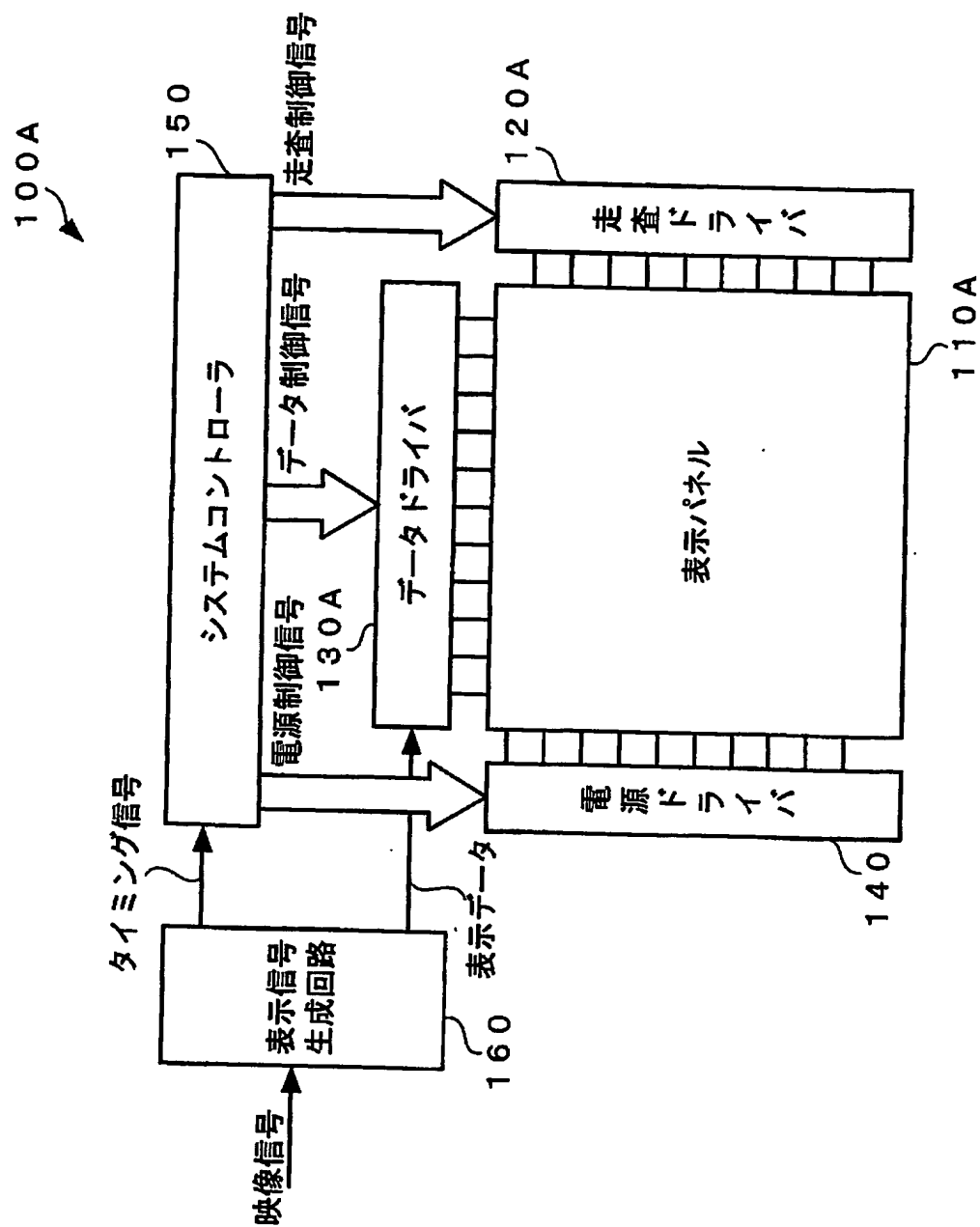


(a)



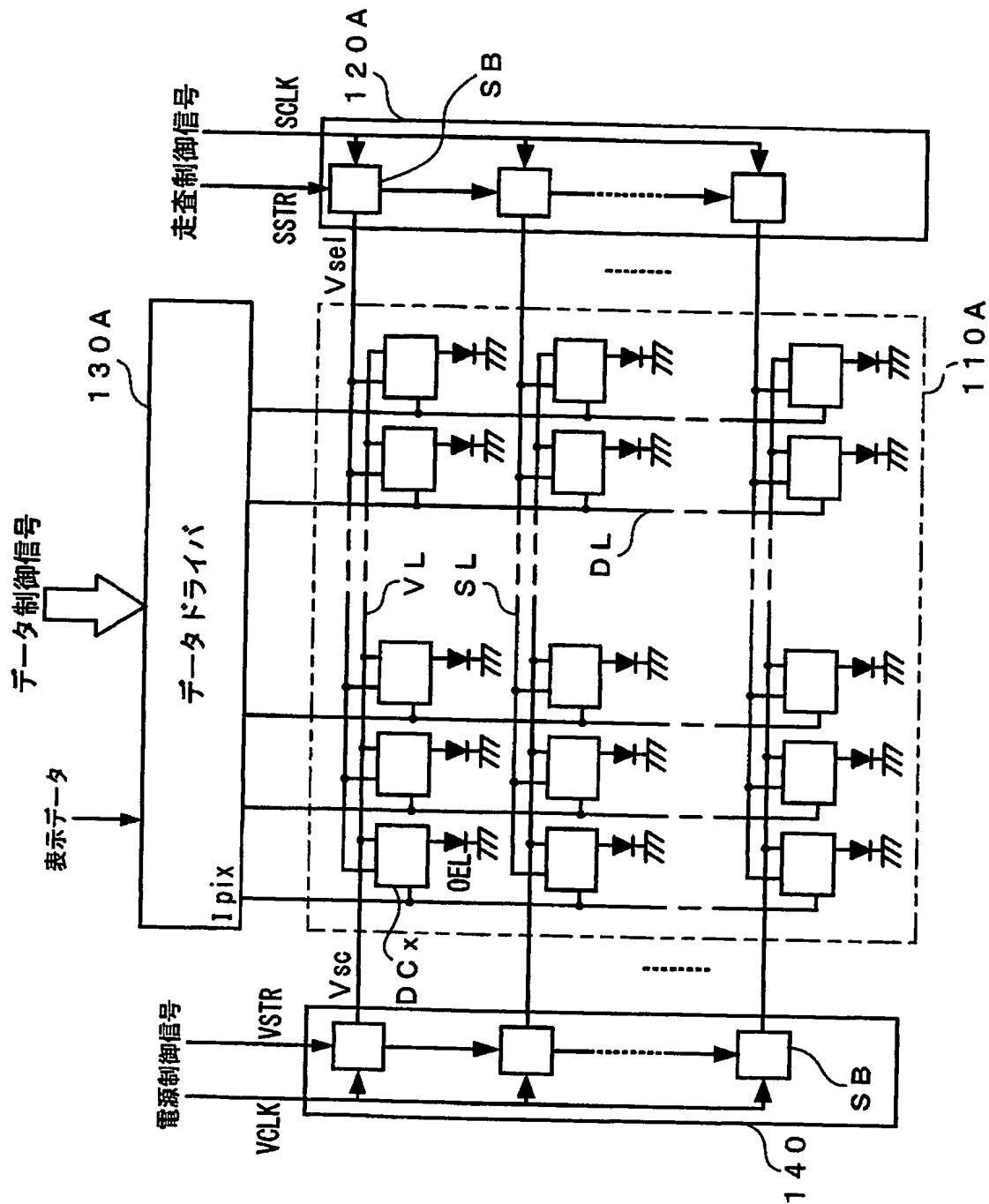
(b)

【図 10】

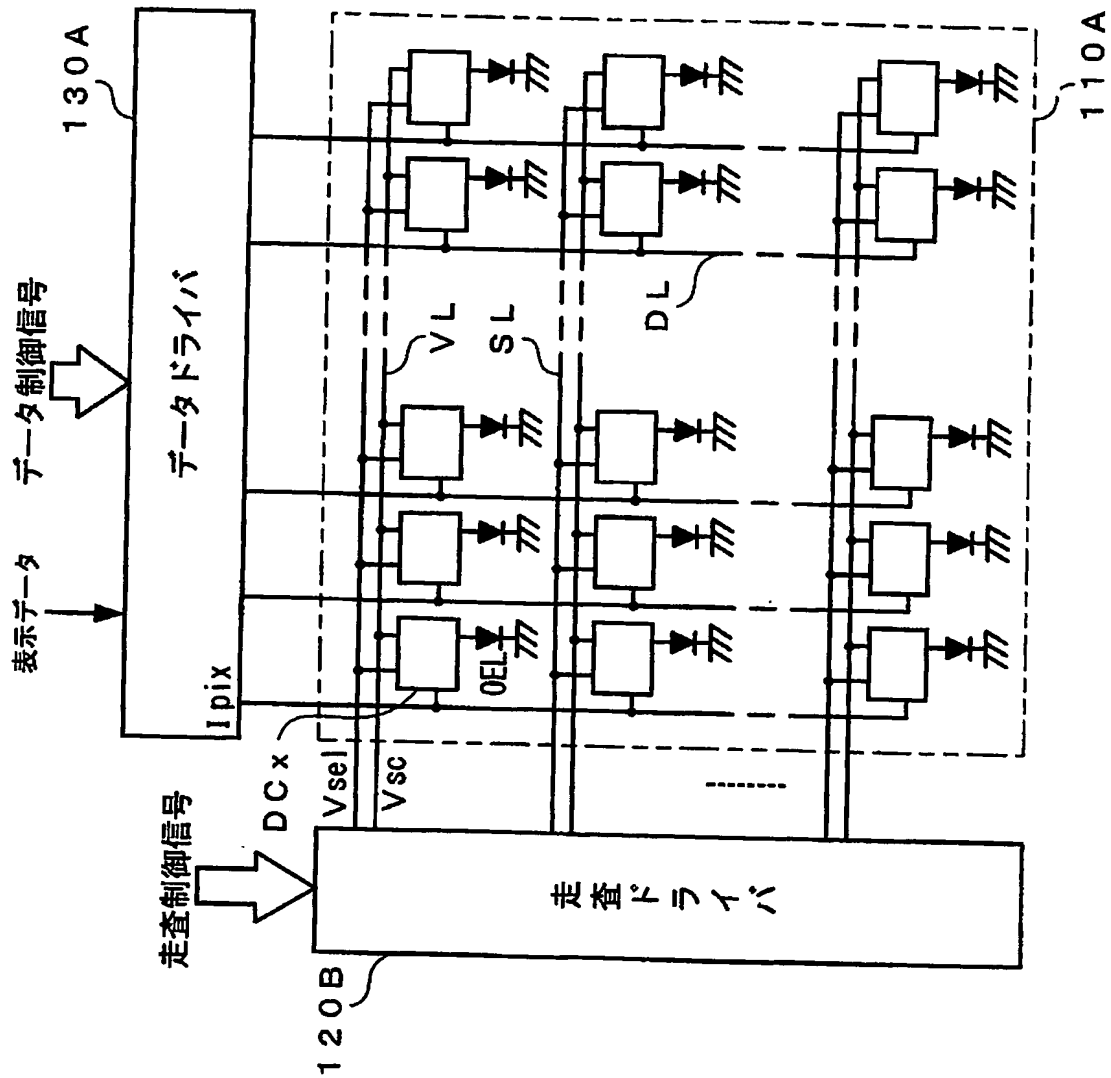




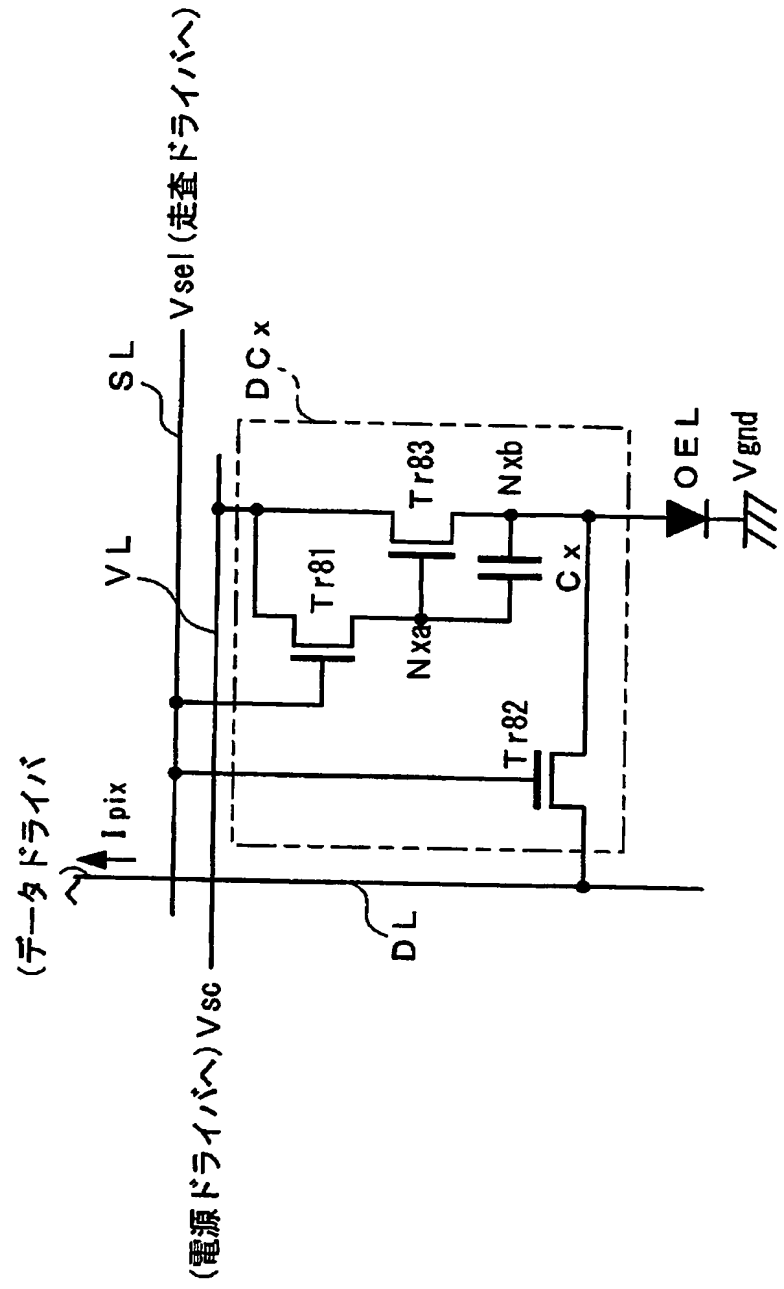
【図 1 1】



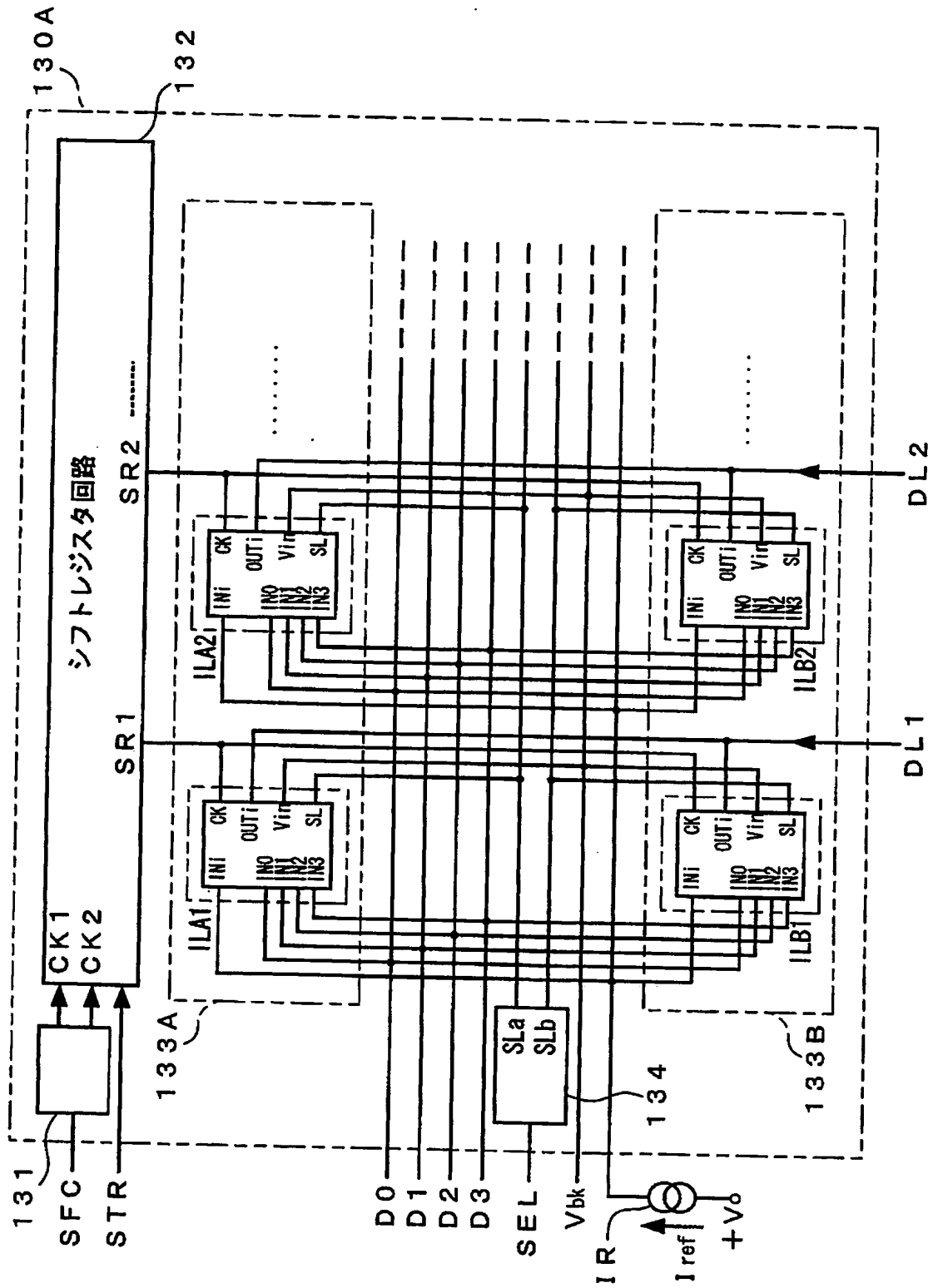
【図 12】



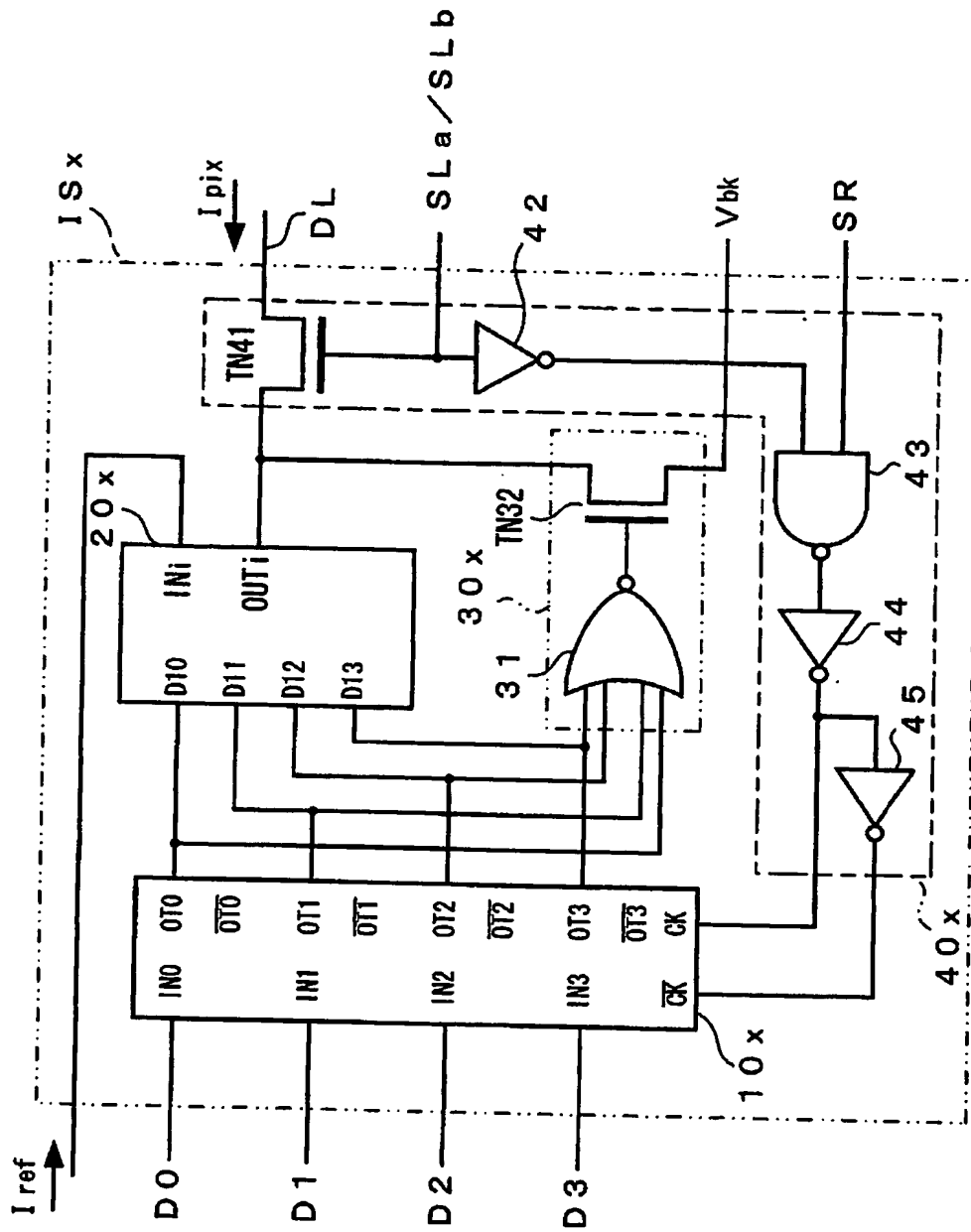
【図 13】



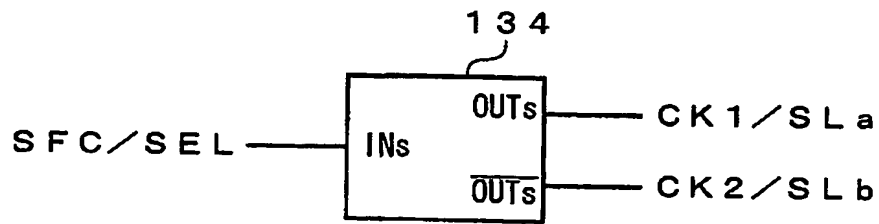
【図14】



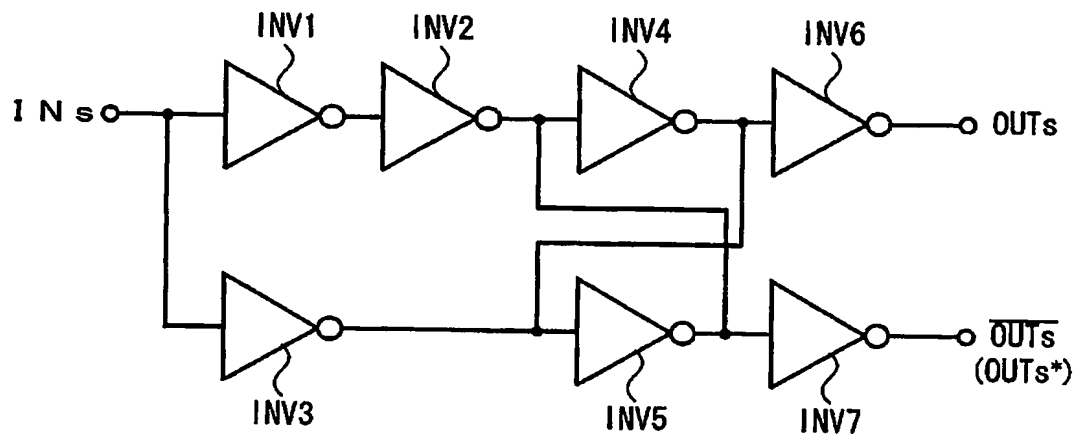
【図 15】



【図 16】

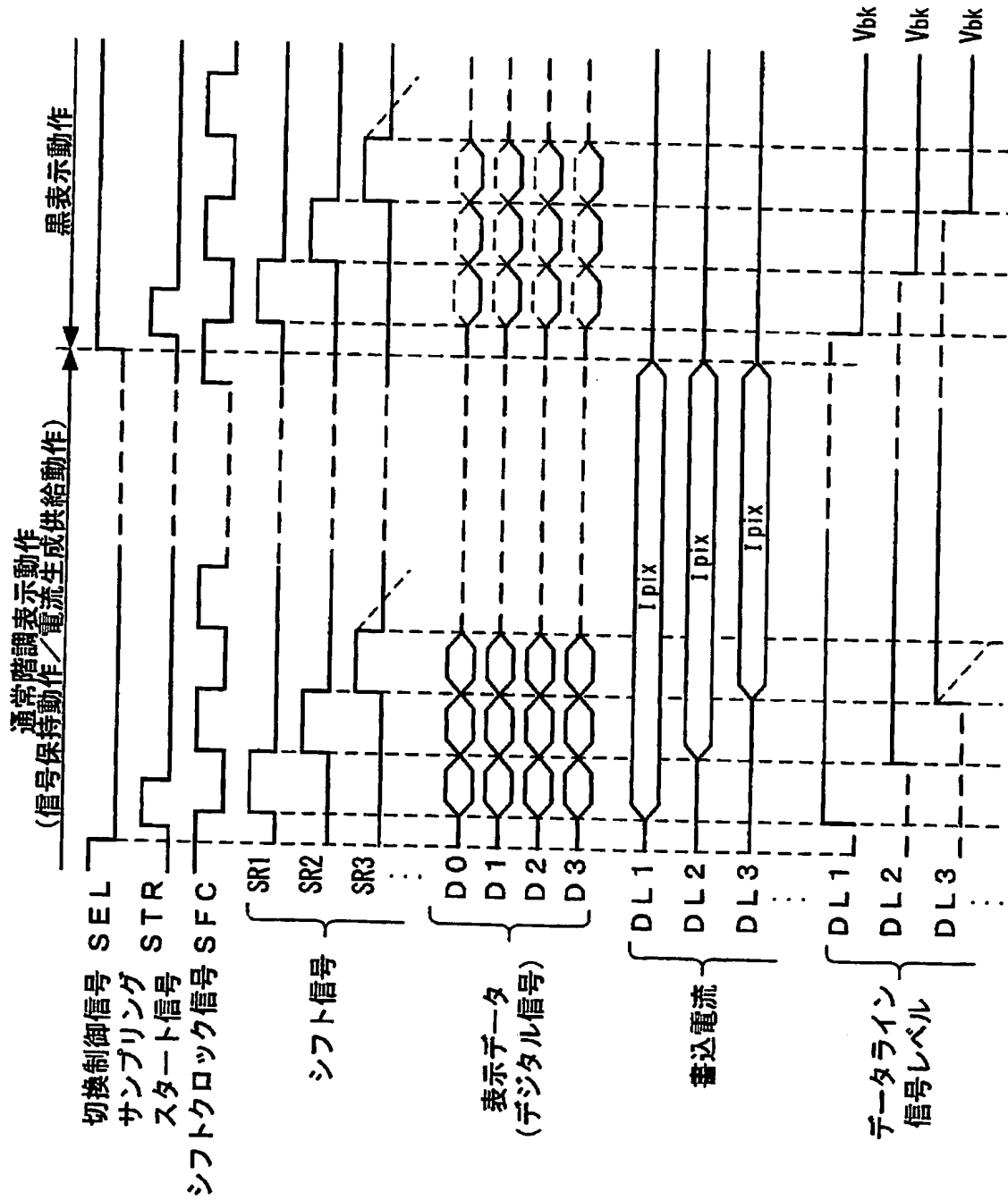


(a)

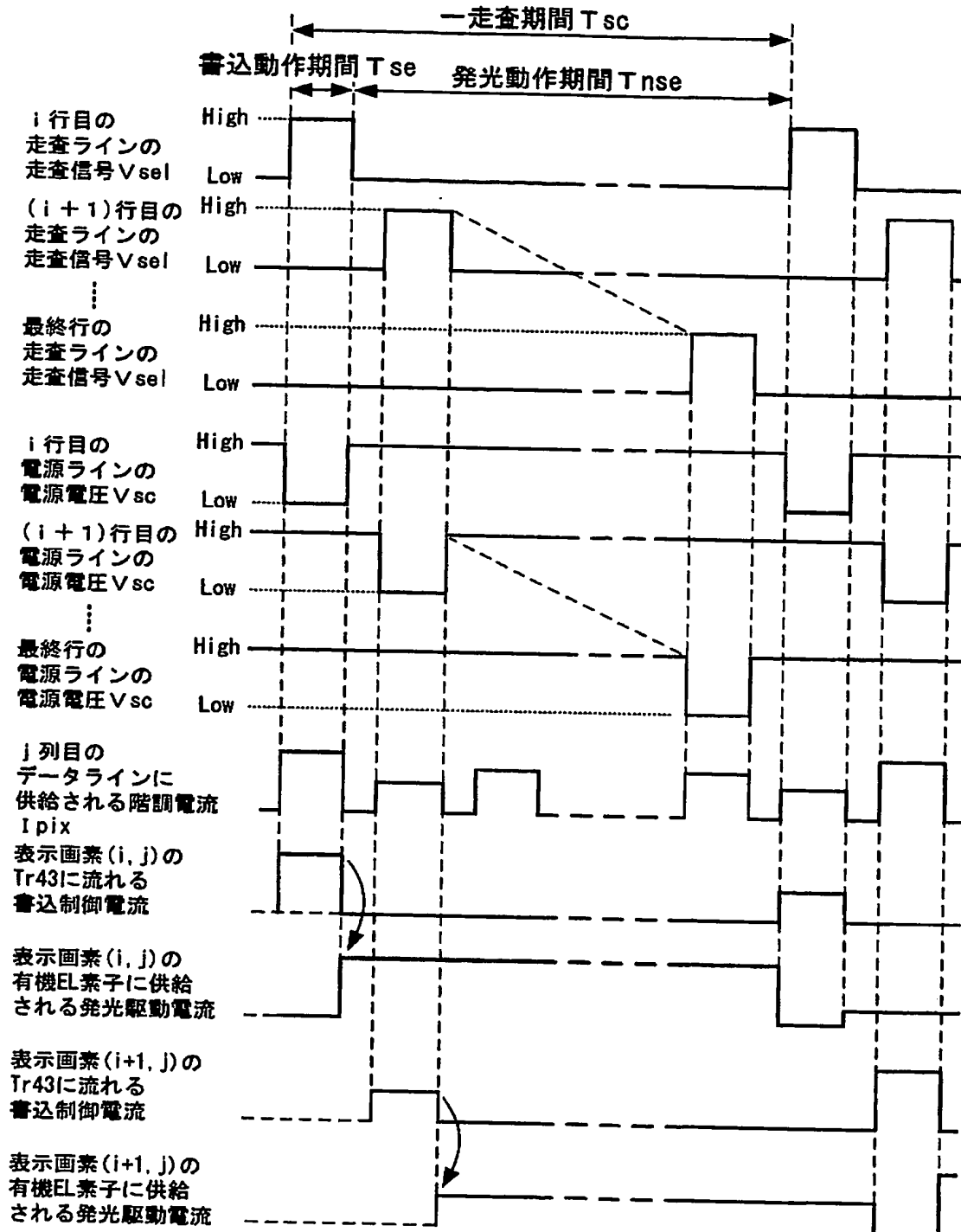


(b)

【図 17】

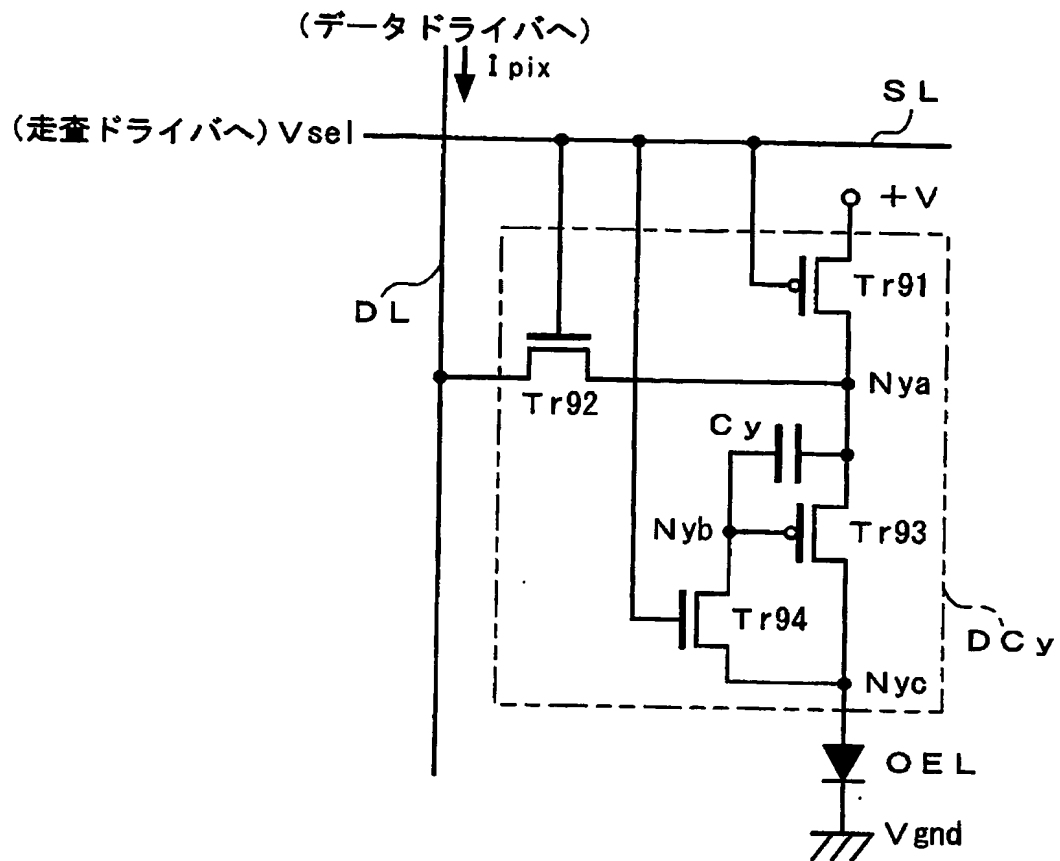


【図 18】



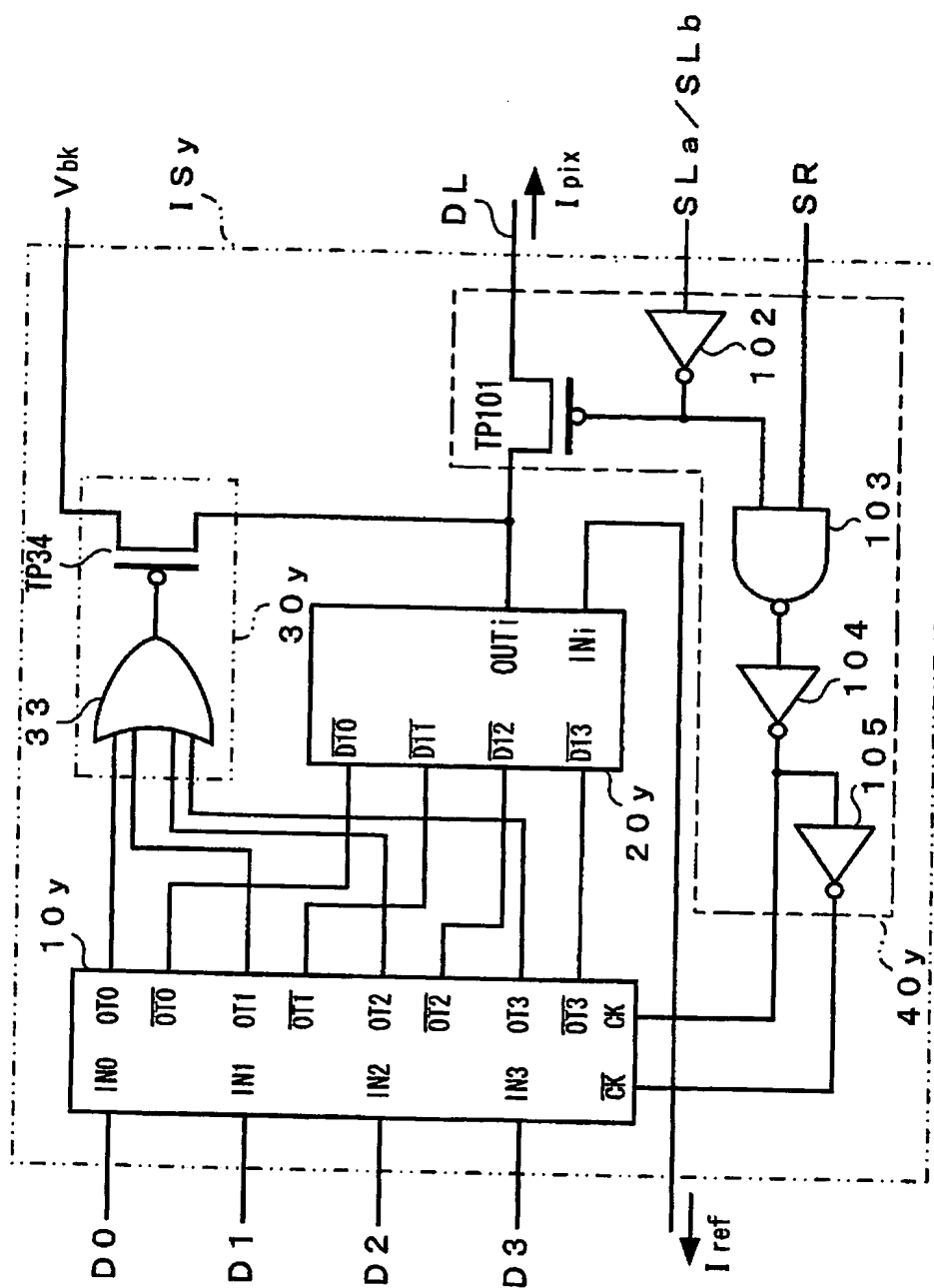


【図 19】

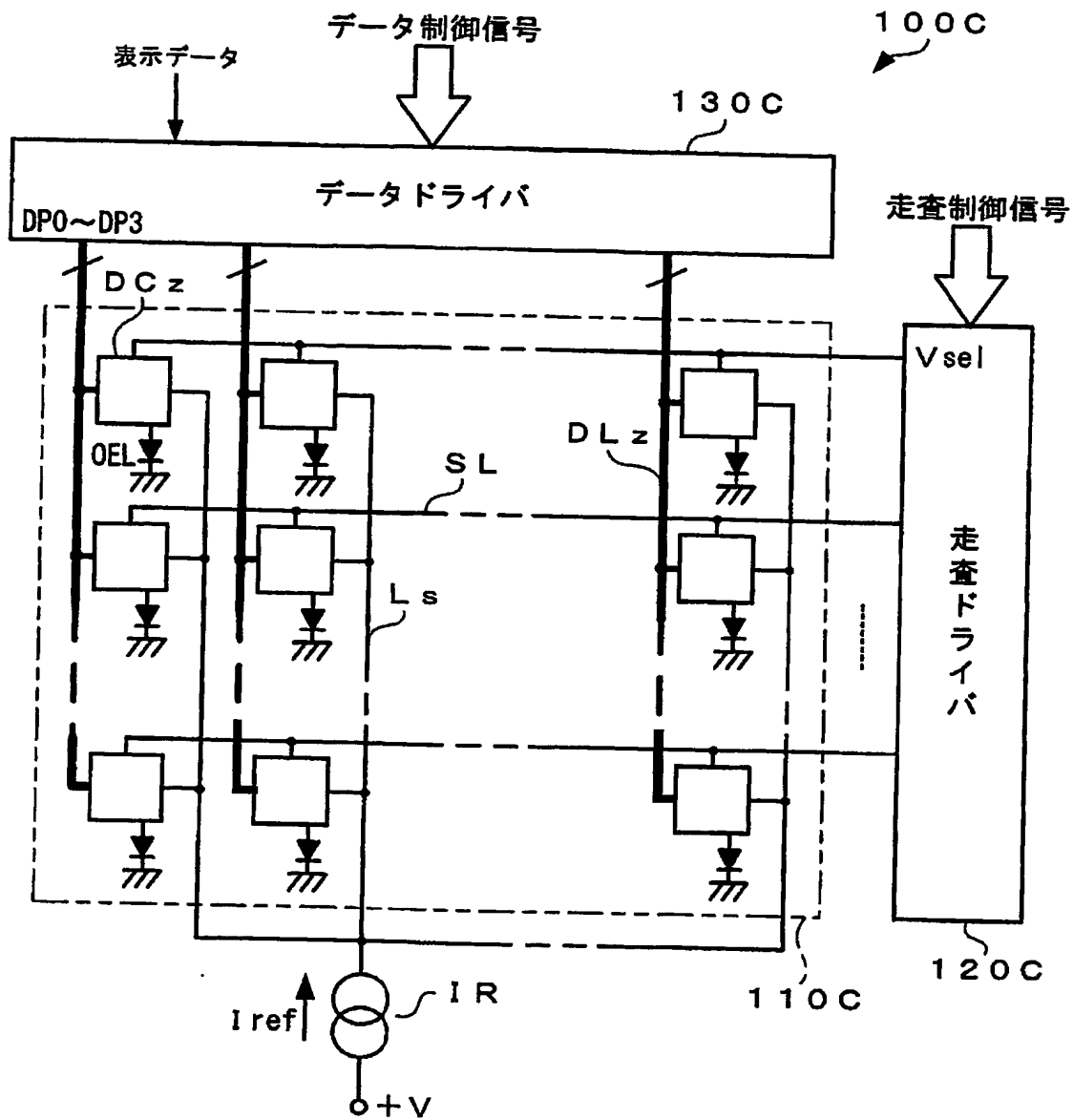




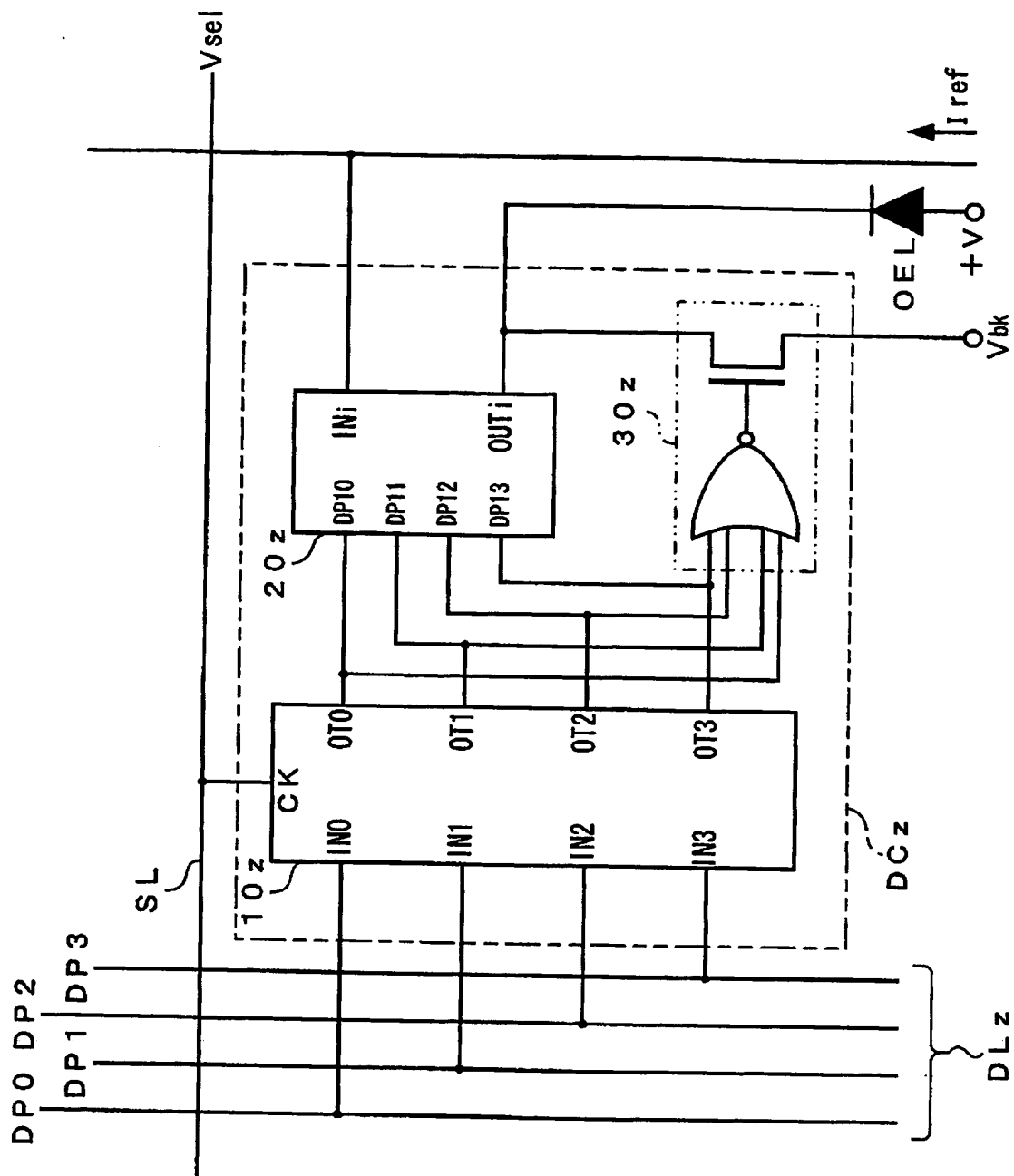
【図 2 1】



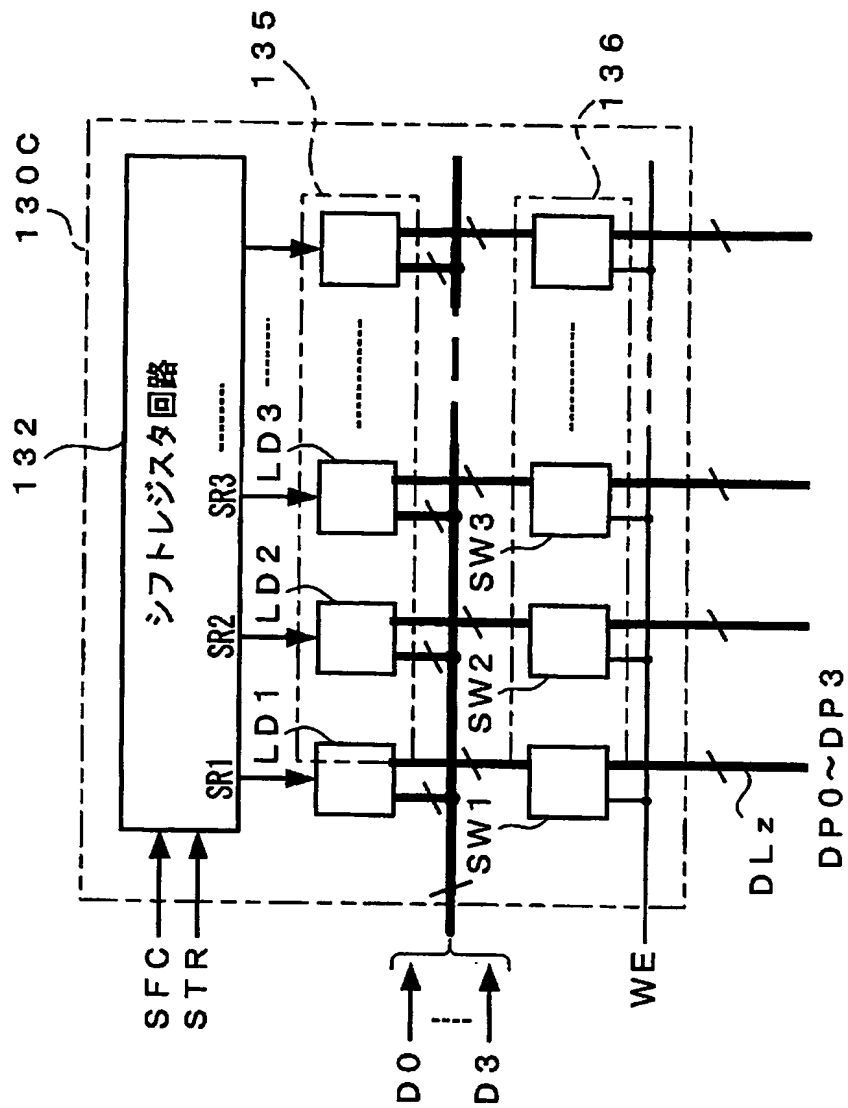
【図 22】



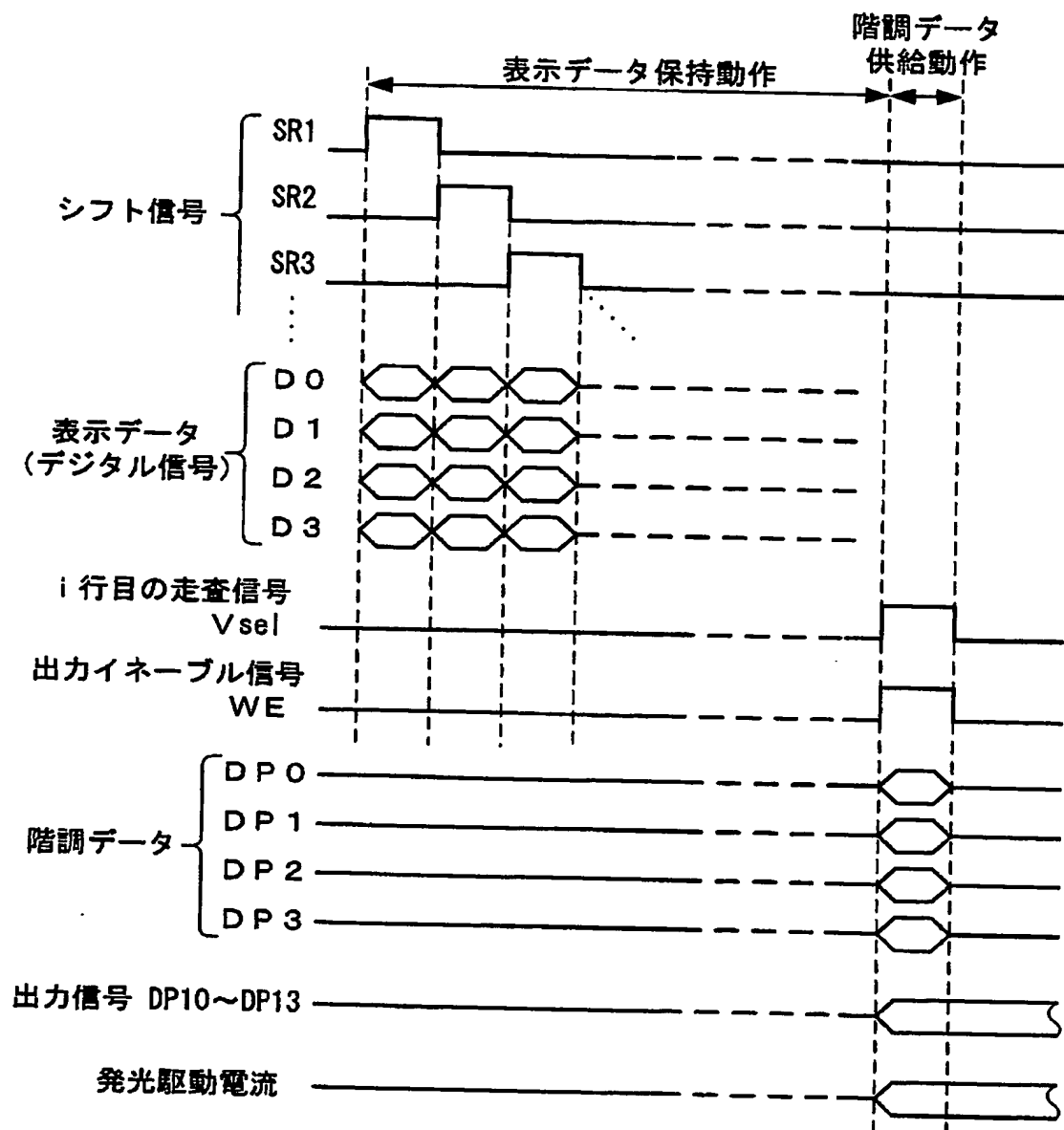
【図 23】



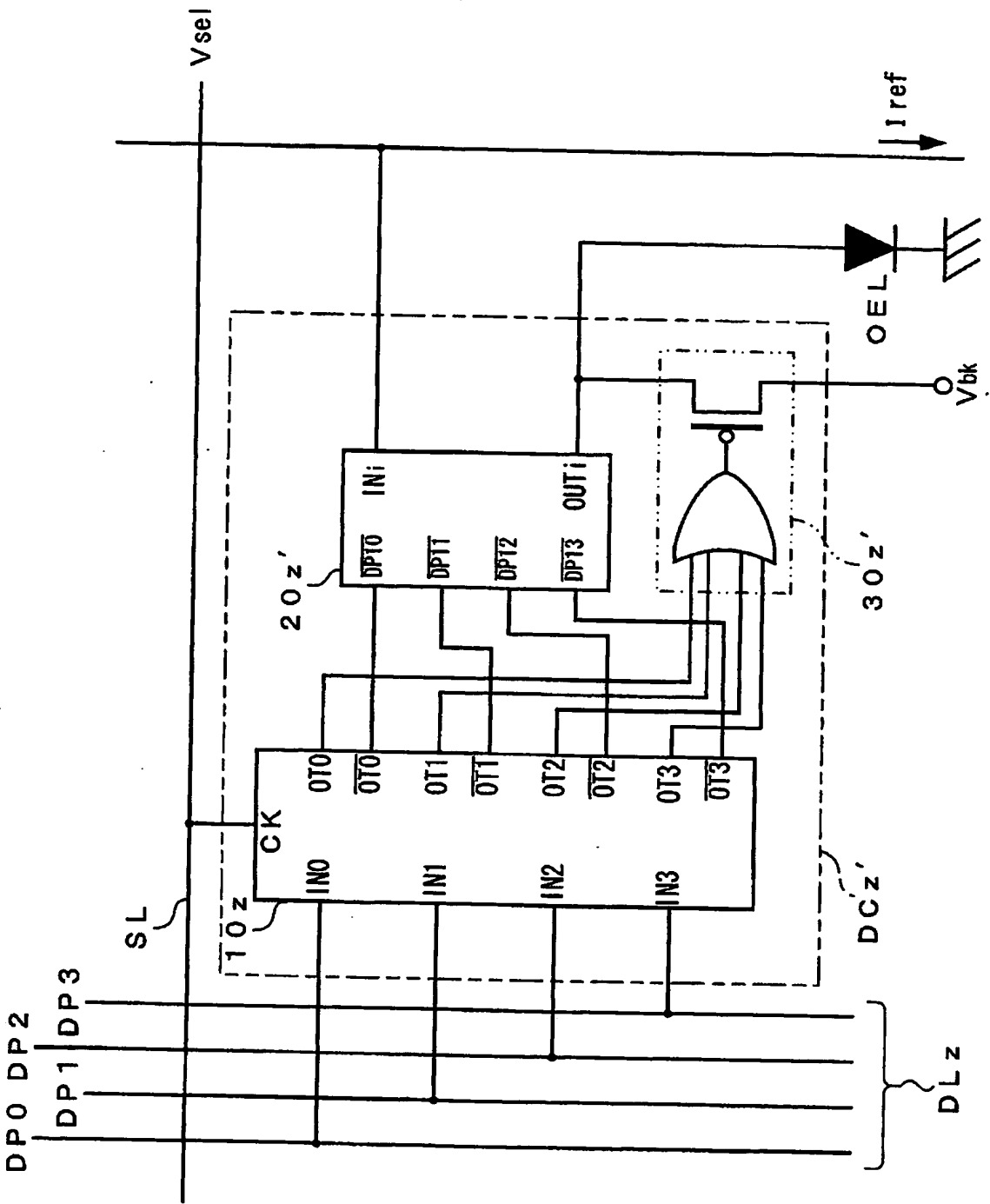
【図 24】



【図 25】

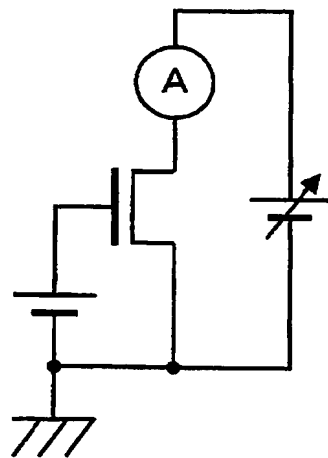


【図 26】

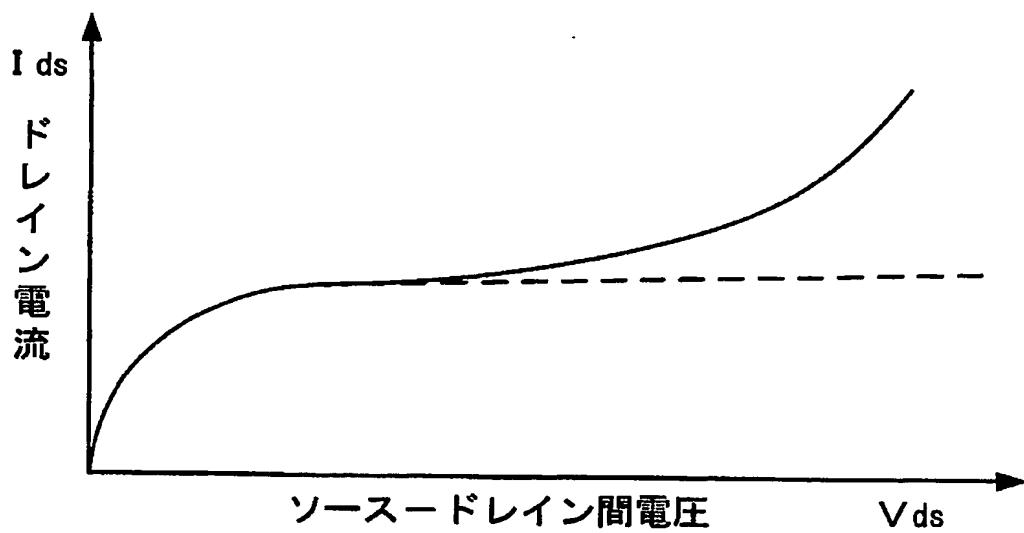




【図 27】

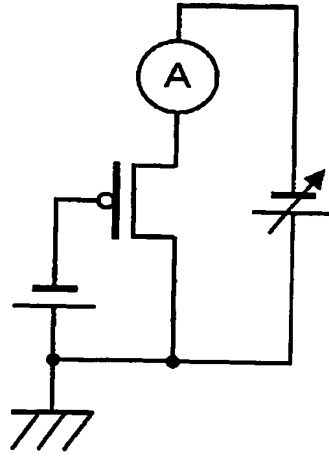


(a)

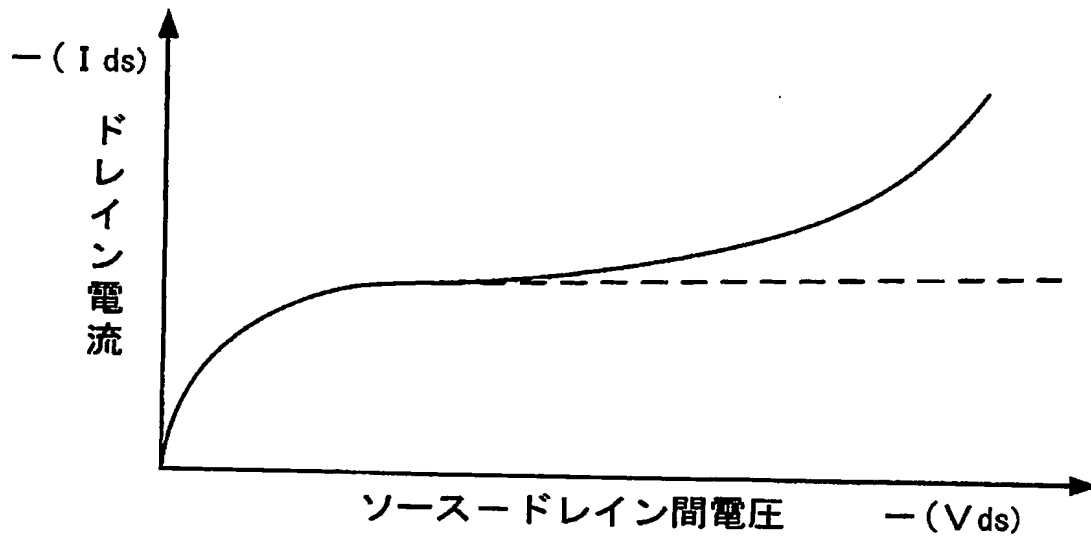


(b)

【図 28】

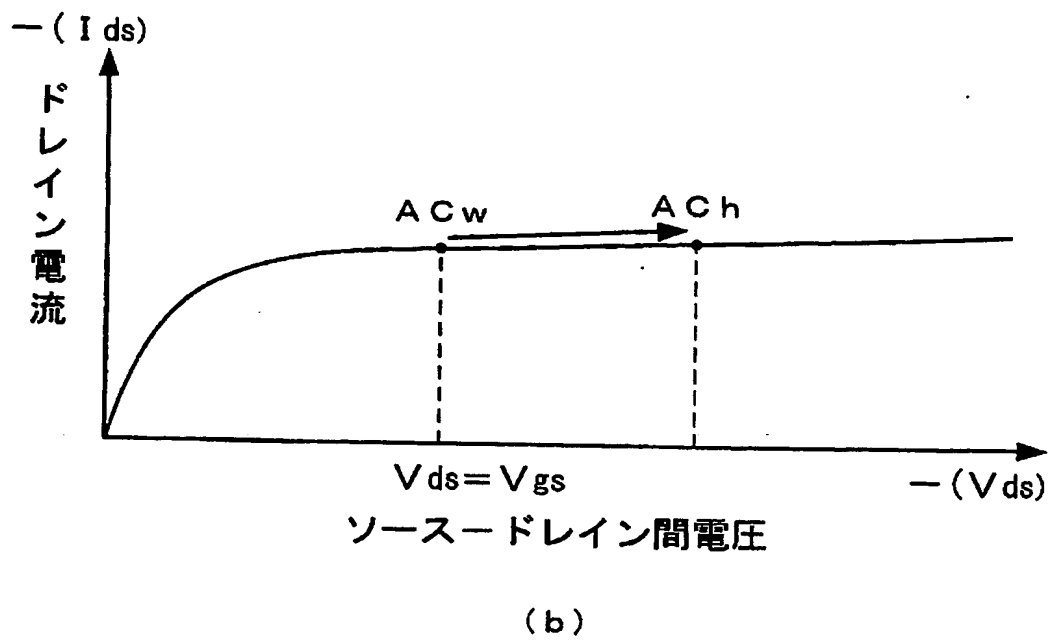
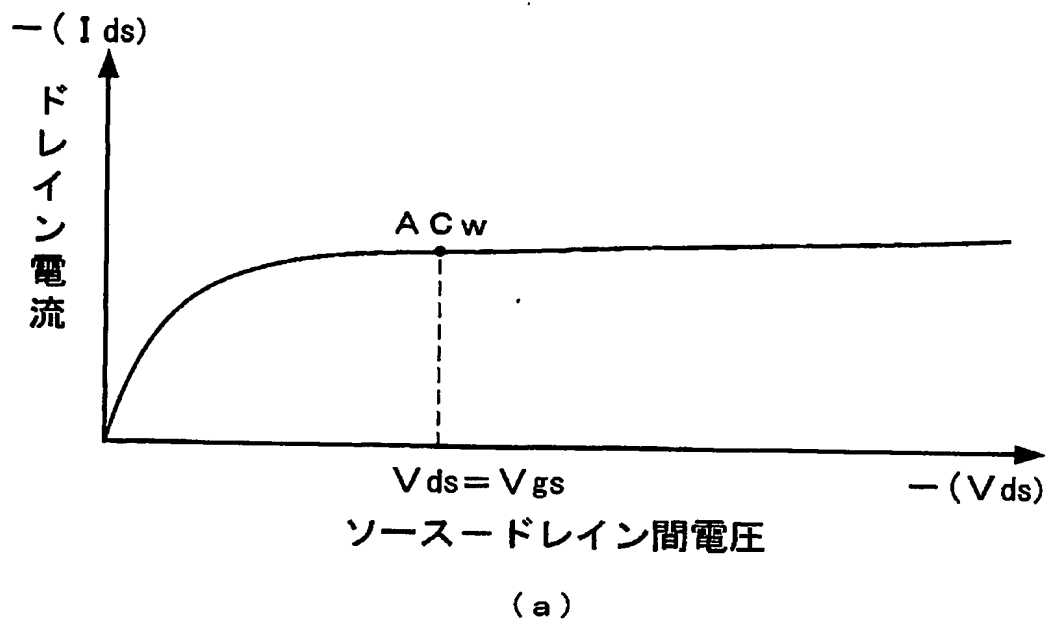


(a)

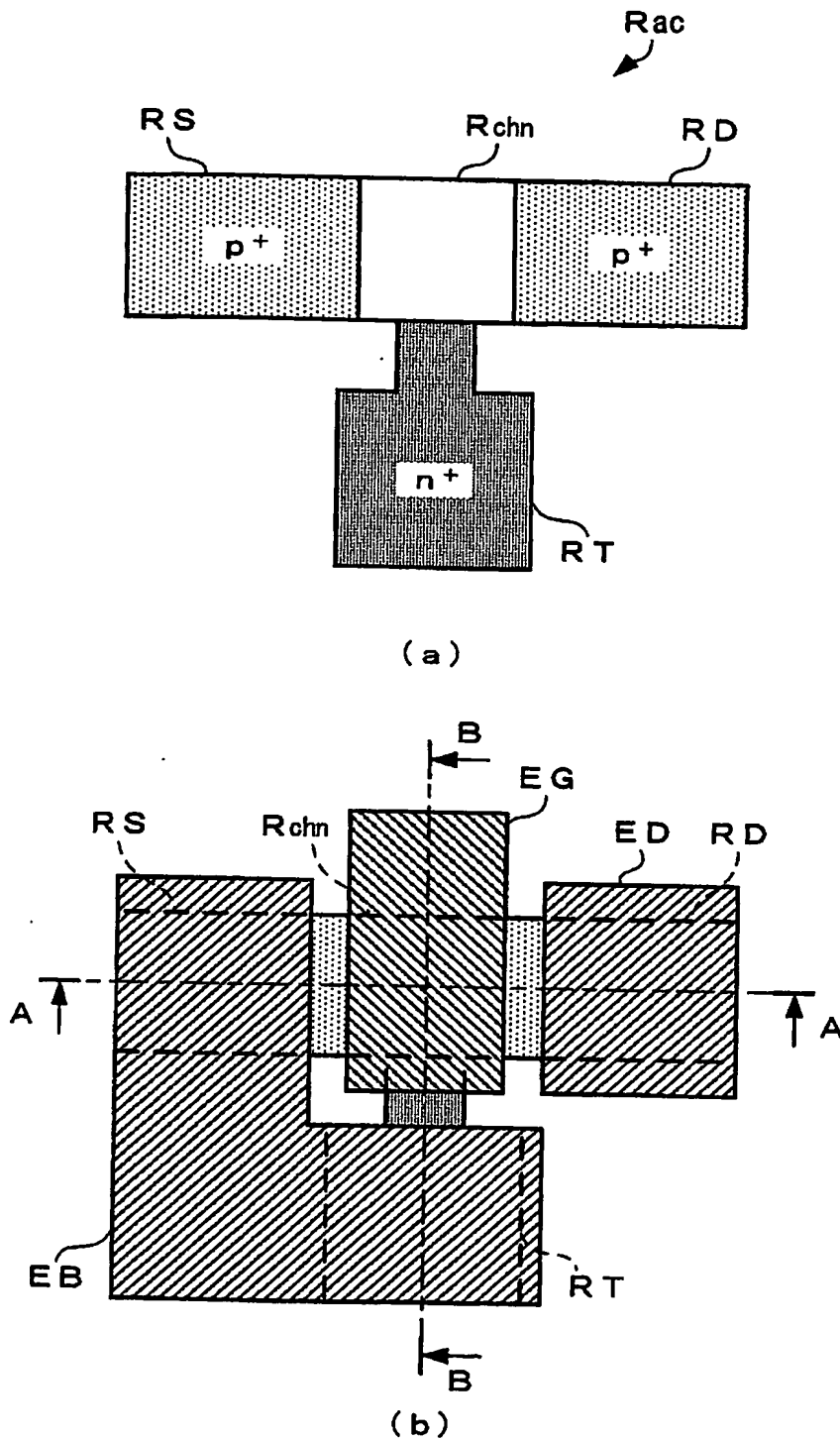


(b)

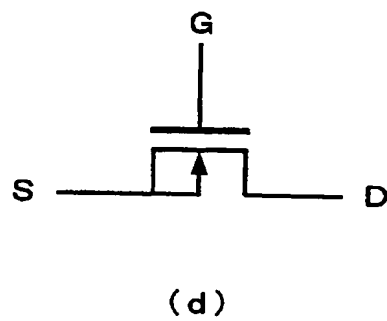
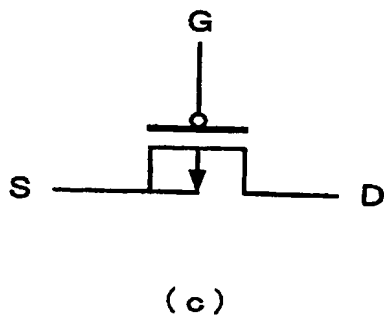
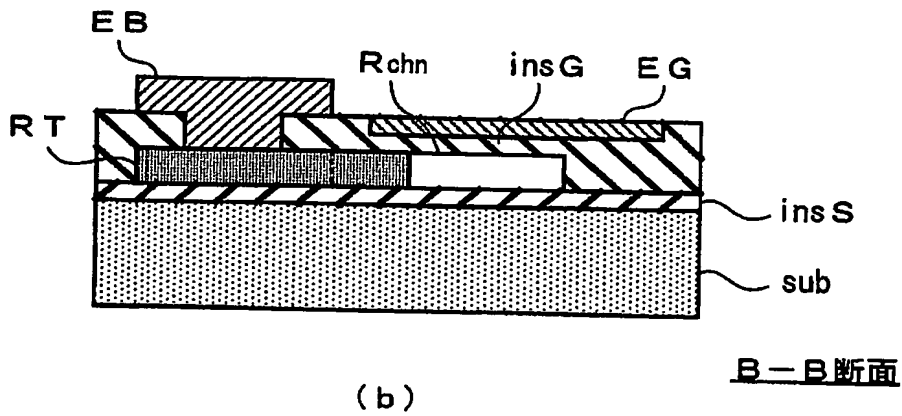
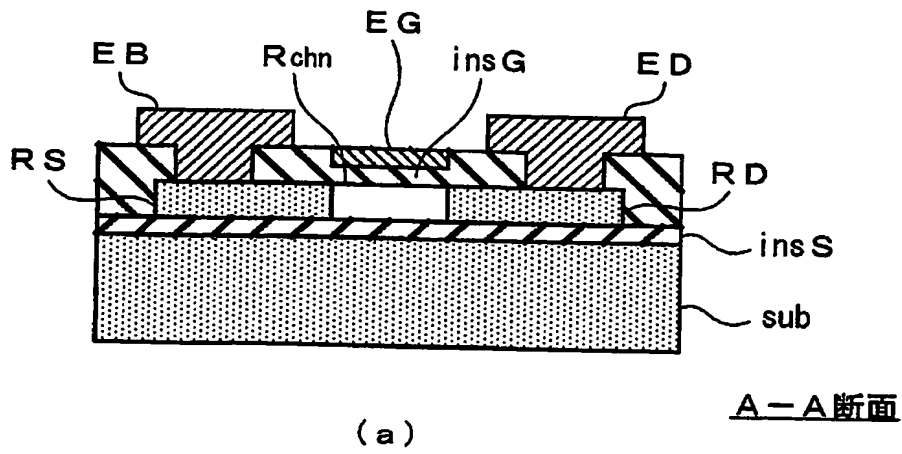
【図 29】



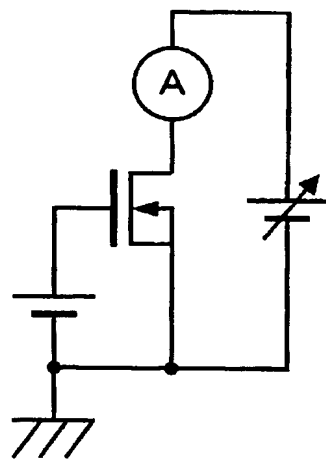
【図 30】



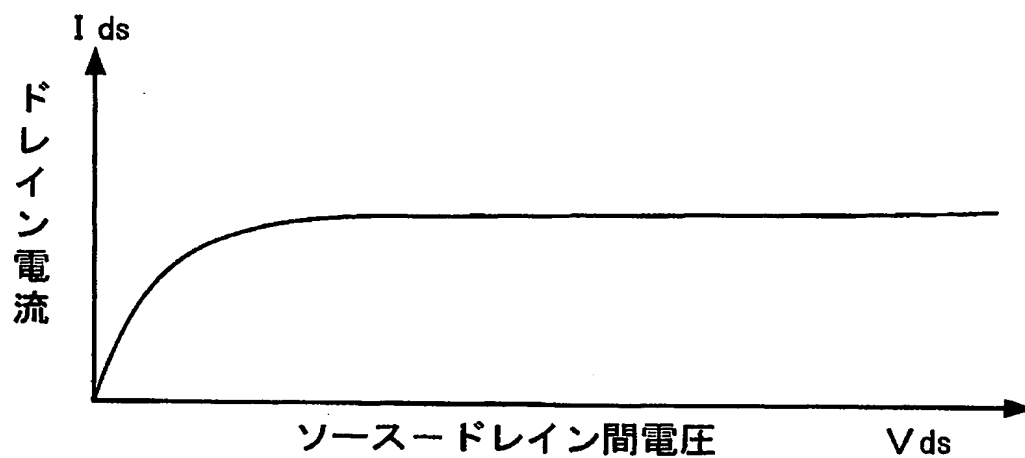
【図 31】



【図 32】

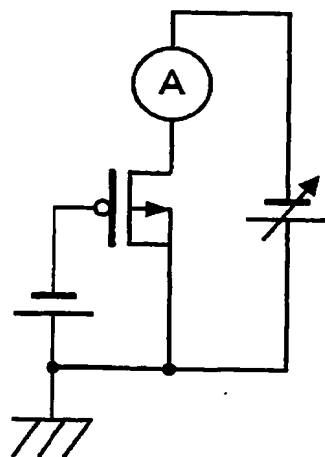


(a)

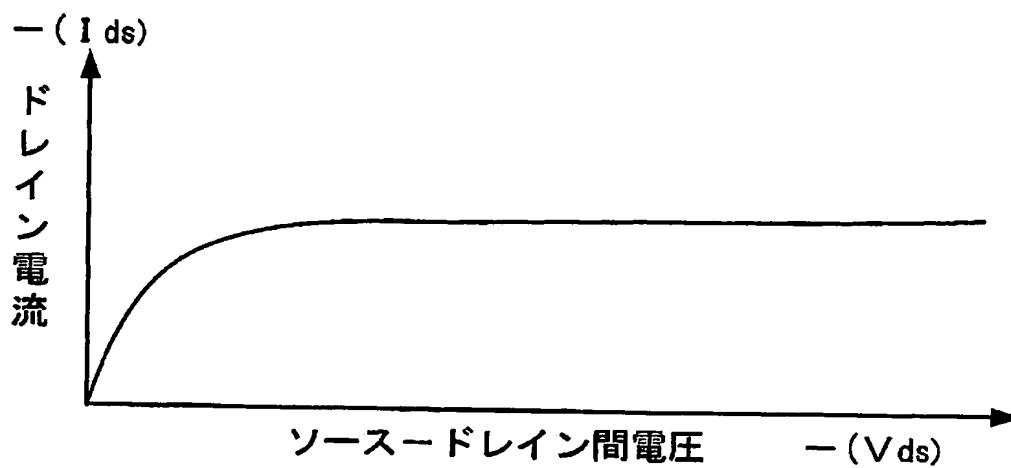


(b)

【図 33】

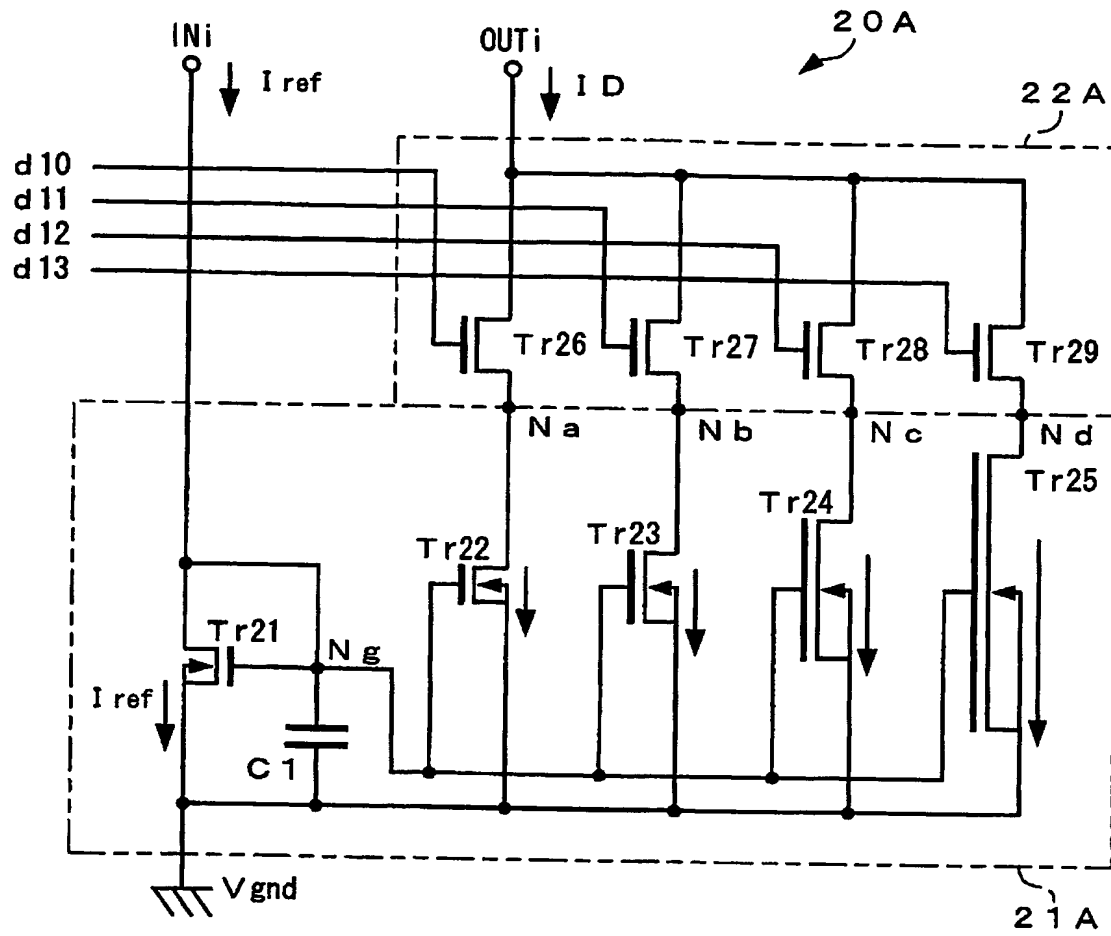


(a)



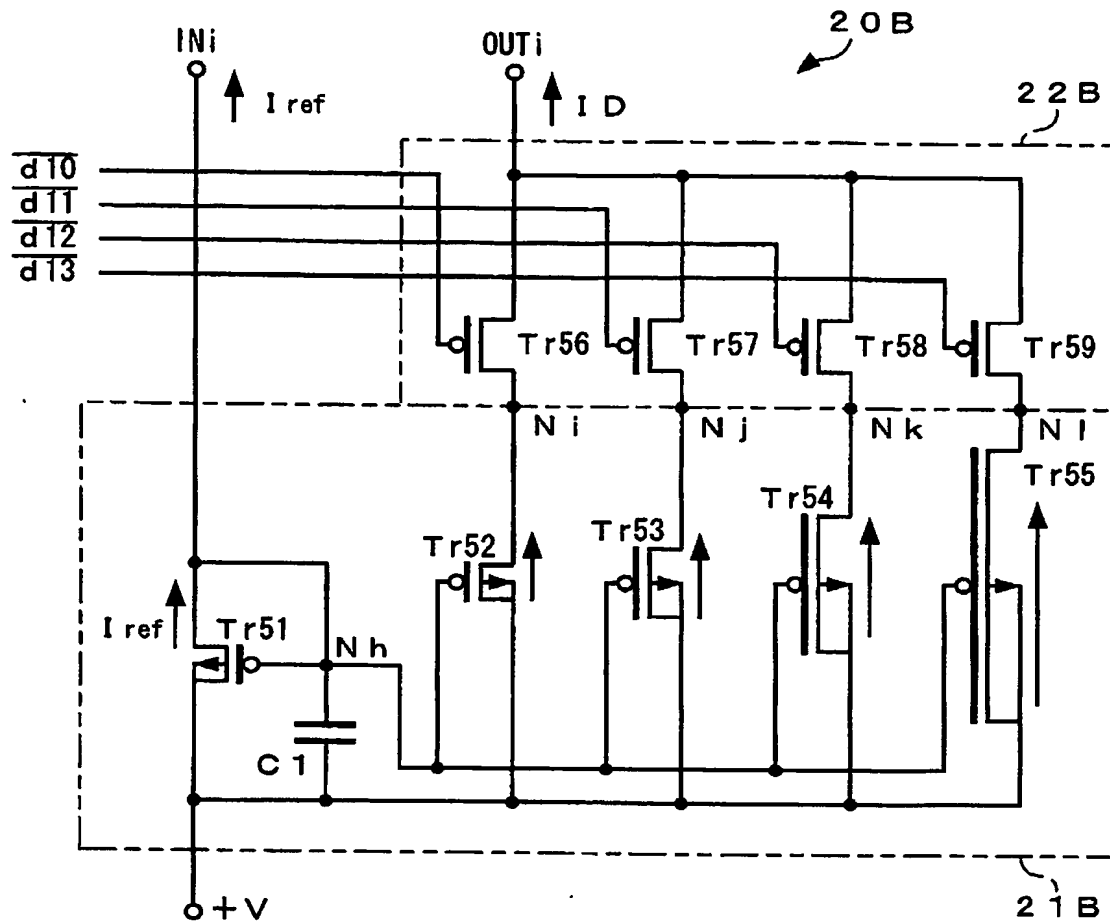
(b)

【図 3 4】

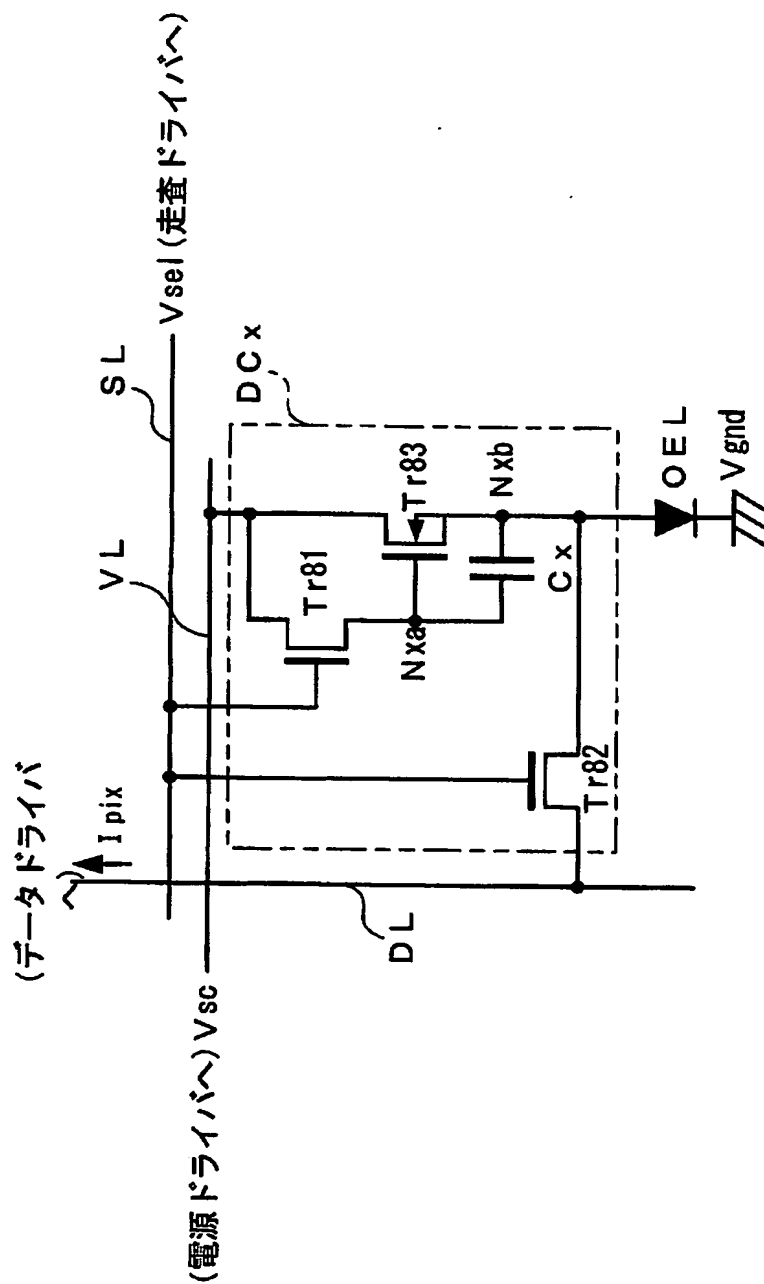




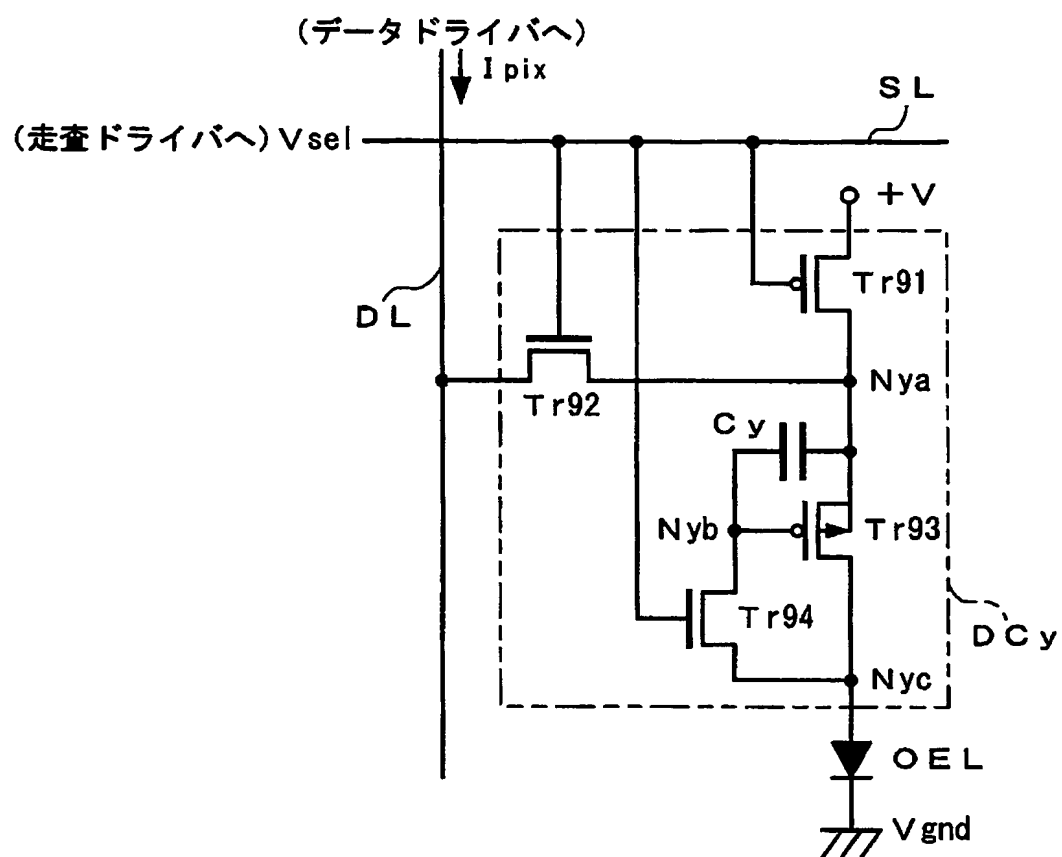
【図 3 5】



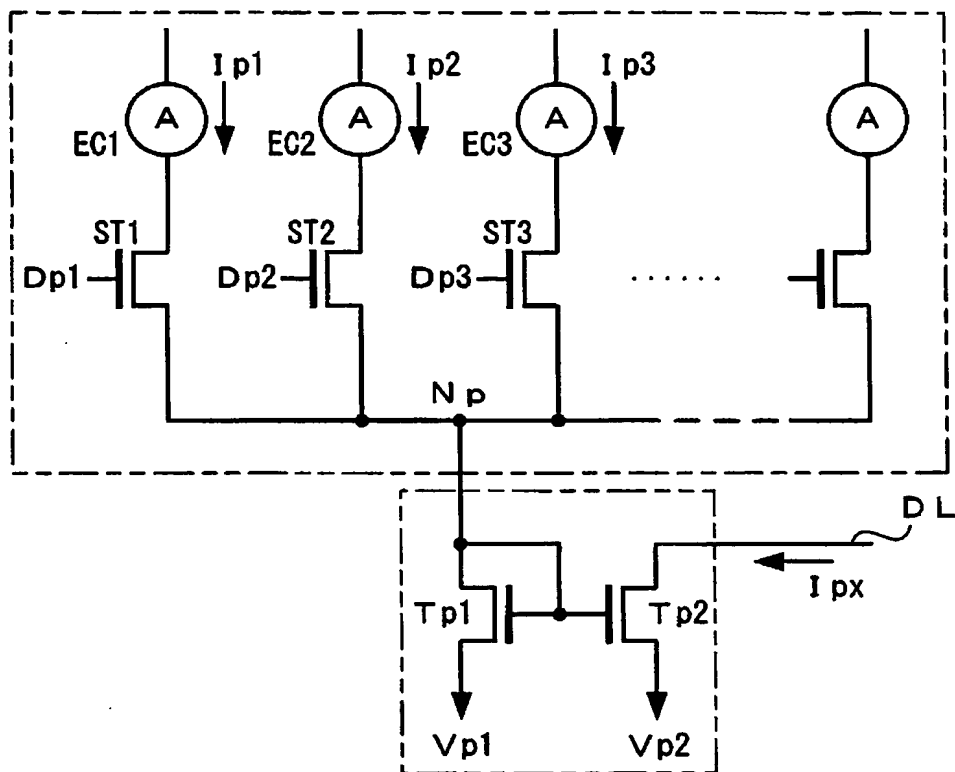
【図 36】



【図 37】



【図 38】



【書類名】 要約書

【要約】

【課題】 通常の表示状態から黒表示状態に迅速に移行することができるとともに、表示データに対応した適切な電流値の書込電流を出力して、表示画質の改善を図ることができる電流生成供給回路及びその制御方法、並びに、該電流生成供給回路を備えた表示装置を提供する。

【解決手段】 電流生成供給回路 I S A は、複数ビットのデジタル信号  $d_0 \sim d_3$  を個別に取り込んで保持するラッチ回路 L C 0  $\sim$  L C 3 を備えた信号ラッチ部 1 0 と、電流発生源 I R A から供給される基準電流  $I_{ref}$  を取り込み、上記各ラッチ回路 L C 0  $\sim$  L C 3 からの出力信号  $d_1_0 \sim d_1_3$  に基づいて、所定の電流値に設定された負荷駆動電流 I D を生成して負荷に出力する電流生成部 2 0 A と、上記出力信号  $d_1_0 \sim d_1_3$  に基づいて、負荷を特定の動作状態で駆動させるための特定電圧を印加する特定状態設定部 3 0 A と、を有して構成されている。

【選択図】 図 1

認定 - 付加情報

特許出願の番号	特願 2 0 0 2 - 3 4 5 8 7 6
受付番号	5 0 2 0 1 8 0 2 9 0 7
書類名	特許願
担当官	第一担当上席 0 0 9 0
作成日	平成 1 4 年 1 1 月 2 9 日

< 認定情報・付加情報 >

【提出日】	平成14年11月28日
-------	-------------

次頁無

特願 2 0 0 2 - 3 4 5 8 7 6

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 1 4 4 3 ]

1. 変更年月日

1 9 9 8 年 1 月 9 日

[変更理由]

住所変更

住 所

東京都渋谷区本町 1 丁目 6 番 2 号

氏 名

カシオ計算機株式会社